

ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ

1/2004

НАУЧНО - ТЕХНИЧЕСКИЙ ЖУРНАЛ

АДАПТИВНАЯ ФИЛЬТРАЦИЯ
МНОГОПороГОВЫЕ ДЕКОДЕРЫ
ВЕЙВЛЕТ-ПРЕОБРАЗОВАНИЕ
МОДУЛИ ЦОС
НОВОСТИ DSP



ISSN 1684-2634

9 771684 263005 >

ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ

Научно-технический журнал
№ 1(11)/2004

Издается с 1999 года
Выходит четыре раза в год

ГЛАВНЫЙ РЕДАКТОР
Ю.Б. ЗУБАРЕВ

ЗАМЕСТИТЕЛИ ГЛАВНОГО РЕДАКТОРА:
В.В. ВИТЯЗЕВ, В.П. ДВОРКОВИЧ

РЕДАКЦИОННАЯ КОЛЛЕГИЯ:

Б.А. Бабаян, Ю.И. Борисов,
С.А. Грибачев, Г.В. Зайцев, Р.В. Зубарев,
А.П. Кирпичников, М.И. Кривошеев,
Н.А. Кузнецов, М.С. Куприянов, А.А. Ланнэ,
В.Г. Мистюков, С.Л. Мишенков,
А.А. Петровский, Ю.Н. Прохоров,
А.Н. Соловьев, Ю.Г. Сосулин,
Н.Г. Харатишвили, В.В. Шахильдян,
Ю.С. Шинаков

Адрес редакции:
107241 Москва, Щелковское ш., 23А
Тел.: (095) 290-9088
Факс: (095) 290-9085
E-mail: editor@dspa.ru
http://www.dspa.ru

Для писем:
129090 Москва, а/я 48.

Издатель:

КБ волоконно-оптических приборов
Генеральный директор: С.А. Задворнов
Контрольный редактор: С.Х. Мамиева
Дизайн и верстка: И.Н. Романовская

Подписной индекс по каталогу
ОАО «Роспечать» – **82185**

Подписано в печать 25.03.2004.
Формат 60х90/8.

Гарнитура «Pragmatica C». Печать офсетная.
Бумага мелованная. Печ.л. 7,0. Тираж 1000 экз.
Заказ №128. Отпечатано в
ООО «Типография Принтхаус»
Москва, ул. Вавилова, вл. 9а, стр. 7,
тел.: 132-7218, 105-0798.

Издание зарегистрировано в Министерстве
Российской Федерации по делам печати,
телерадиовещания и средств
массовых коммуникаций.
Свидетельство о регистрации ПИ №77-1488
от 14.01.2000

В НОМЕРЕ:

Б.А. Кисельман, В.В. Крылов

**Модели нелинейных динамических систем
с дискретным временем.....2**

С.Н. Кириллов, А.В. Поспелов

**Полифазная реализация цифровой когерентной
обработки сигналов с минимальной частотной
и бинарной манипуляцией.....6**

**Новые разработки DSP компаний Analog Devices и
Texas Instruments (по материалам Internet)..... 11**

Итоги выставки «РАДЭЛ-2003»..... 17

**«Светить или не светить – вот в чем вопрос!» или
о преимуществах участия в тематических зонах
на выставке..... 19**

В.В. Золотарев

**Многopороговые декодеры для систем связи
с предельно малой энергетикой сигнала.....24**

А.К. Пяткин

**Построение последовательно-параллельных
вычислительных систем БПФ на ПЛИС.....29**

Ю.В. Чесноков, В.И. Чижиков, С.А. Резинькова

**Вейвлет-преобразование для удаления шума,
сжатия и анализа электрокардиограмм.....35**

А.Ю. Линович, В.В. Витязев

**Субполосная адаптивная фильтрация
в задачах обратного моделирования.....41**

В.Г. Мистюков

**Модуль цифровой обработки сигналов XDSP-5MC
компании Scan Engineering Telesco49**

Подписной индекс
по каталогу «Роспечать»

82185

УДК 004.94

Модели нелинейных динамических систем с дискретным временем

Б.А. Кисельман, В.В. Крылов

Рассматриваются методы построения моделей нелинейных динамических систем с дискретным временем непосредственно по реализациям входного и выходного сигналов. Показано, что для довольно широкого класса нелинейных систем, описываемых дискретным аналогом оператора Урысона, удается построить обратную модель и найти системы линейных уравнений, позволяющие оценить модели методом наименьших квадратов.

Введение

В связи с повсеместным внедрением устройств цифровой обработки сигналов весьма важной стала задача моделирования динамических систем с дискретным временем. Естественно, создаваемые модели также являются динамическими системами дискретного времени, структуры которых строятся по каким-либо физическим или эмпирическим соображениям с привлечением требования их минимальной размерности (для вычислительной эффективности модели), а затем по известным реализациям входного и выходного сигналов находятся уравнения, с той или иной степенью приближения описывающие моделируемую систему. Этот путь не совпадает с решением основной проблемы теории абстрактной реализации динамических систем, сформулированной Калманом: перейти от отображения вход-выход к уравнениям в пространстве состояний, (так как на практике неизвестно как раз входо-выходное отображение) хотя результаты, полученные в ходе поиска решений последней проблемы [1-5] дают мощные методы анализа построенных моделей.

Целью данной статьи является представление метода построения моделей нелинейных динамических систем с дискретным временем непосредственно по реализациям входного и выходного сигналов с использованием стандартной внутренней структуры.

Далее будем рассматривать стационарные динамические системы дискретного времени с одномерными входными и выходными сигналами, принимающими действительные значения.

Основные методы моделирования динамических систем по реализациям входного и выходного сигналов

Для получения минимальноразмерной модели динамической системы на основе реализаций ее входного и выходного сигналов, как было упомянуто выше, задаются какой-либо внутренней структурой модели. Например, линейные модели обычно описываются следующим уравнением:

$$y(n) = \sum_{m=0}^N b_m x(n-m) + \sum_{k=0}^M a_k y(n-k). \quad (1)$$

Здесь $x(n)$ и $y(n)$ – соответственно входной и выходной сигналы, b_m и a_k – постоянные коэффициенты. Уравнению (1) соответствует рекурсивная структура (БИХ-фильтр); а в том случае, когда $a_k = 0 \forall k$ – трансверсальная (КИХ-фильтр). Коэффициенты модели (1) могут быть однозначно определены по известным реализациям входного и выходного сигналов системы методом наименьших квадратов.

При моделировании нелинейных инерционных систем обычно используют уравнения следующего вида [6, 7]:

$$y(n) = \sum_{k=0}^N f_k(x(n), x(n-1), \dots, x(n-N), y(n-1), y(n-2), \dots, y(n-M)), \quad (2)$$

где функции f_k представляют полиномами или сплайнами, коэффициенты которых вычисляются в ходе рекуррентных процедур типа метода градиентного спуска при минимизации квадратичной ошибки моделирования.

Таким образом, можно сказать, что все перечисленные модели динамических систем дискретного времени являются частными случаями модели

$$y(n) = F(x(n), x(n-1), \dots, x(n-N), y(n-1), y(n-2), \dots, y(n-M)), \quad (3)$$

которую назовем обобщенной функциональной моделью (ОФМ) динамической системы с конечной памятью. Здесь

$$X_N = \{x(n), x(n-1), \dots, x(n-N)\}, \\ Y_M = \{y(n-1), y(n-2), \dots, y(n-M)\}.$$

Во всех рассмотренных выше случаях функция $F(X_N(n), Y_M(n))$ имеет аддитивное представление. В связи с этим возникает вопрос о возможности построения этой функции по ее аддитивной структуре вида (2) и реализациям входного и выходного сигналов с помощью метода наименьших квадратов, что явилось бы обобщением этого метода для линейных систем (1).

Аддитивный синтез функции F по системе известных функций на основе отрезков входного и выходного сигналов

Поставим задачу синтеза динамической системы с дискретным временем на основе аддитивной структуры, описываемой уравнением (3). Пусть известны ее входной и выходной сигналы: $x(n)$ и $y(n)$ соответственно, $n = 0, 1, \dots, L$. Функция F имеет представление:

$$F(X_M(n), Y_M(n)) = \sum_{k=0}^K a_k f_k(X_M(n), Y_M(n)), \quad (4)$$

где $f_k(X_M(n), Y_M(n))$ – известные функции. Синтез функции F (и, соответственно, рассматриваемой системы) состоит в определении неизвестных коэффициентов разложения a_k в (4). Если руководствоваться минимизацией квадрата ошибки моделирования, то можно показать (см. Приложение), что искомые коэффициенты a_k являются решениями системы линейных алгебраических уравнений:

$$\Phi \cdot a = \Psi, \quad (5)$$

$$\text{где } a = (a_0, a_1, \dots, a_K)^T, \Psi = (0, 1, \dots, K)^T,$$

$$\Phi_{ik} = \sum_{n=0}^{L-1} f_i(X_M(n), Y_M(n)) f_k(X_M(n), Y_M(n)),$$

$$\Psi_i = \sum_{n=0}^{L-1} y(n) f_i(X_M(n)), \quad i, k = 0, 1, \dots, K.$$

Таким образом, аддитивная структура (4) модели (3) может быть построена в ходе решения системы (5).

Если абстрагироваться от понятия моделирования каких-либо устройств, то приведенная формулировка

задачи аддитивного синтеза открывает весьма общую и важную проблему синтеза динамической системы по реализациям ее входного и выходного сигналов. Эта проблема, изначально выглядящая как проблема «практической» реализации, очевидно, потребует новых исследований в дополнение к результатам, уже достигнутым при решении проблемы абстрактной реализации динамических систем.

Обобщенный аддитивный синтез функции F

Рассмотрим более общий и практически важный случай построения функции F по ее аддитивной структуре (4), но уже с неизвестными функциями $f_k(X_M(n), Y_M(n))$. В остальном постановка задачи остается прежней.

Введем разложение:

$$f_k(X_M(n), Y_M(n)) =$$

$$\sum_{p=0}^P a_{kp} \Phi_{kp}(X_M(n), Y_M(n)), \quad (6)$$

где $\Phi_{kp}(X_M(n), Y_M(n))$ – известные функции (примитивы разложения). Последнее понятие предполагает, что эти функции являются неким базисом для получения f_k . Тогда функцию F можно искать в таком виде:

$$F(X_M(n), Y_M(n)) =$$

$$\sum_{k=0}^K \sum_{p=0}^P a_{kp} \Phi_{kp}(X_M(n), Y_M(n)). \quad (7)$$

Аддитивное представление (7), очевидно, дает возможность найти коэффициенты a_{kp} методом наименьших квадратов. Действительно, если это двумерное представление развернуть в одномерное (перенумеровать систему примитивов представления Φ_{kp} одним индексом), то получится разложение вида (4), коэффициенты которого можно найти, решив систему (5).

Может возникнуть вопрос о принципиальной применимости аддитивного синтеза модели по реализациям входного и выходного сигнала системы. Ответ на него дают практические исследования. Так, например, при построении модели нелинейного усилителя мощности стремятся использовать достаточно длинные реализации его входного и выходного сигналов как для представления их статистических свойств, так и для представления по возможности всех режимов работы усилителя. В ряде других случаев (например, при анализе нестационарных сигналов методом скользящего окна) бывает важно оценить свойства квазистационарных отрезков сигнала.

В настоящее время нет сколько-нибудь универсальных методов построения моделей нелинейных динамических систем с наперед заданной точностью. Однако даже чисто эмпирические подходы [6,7] оправдали на практике свое применение.

Обратимые системы

Для некоторых нелинейных динамических систем часто бывает необходимо построить обратимые модели. При моделировании нелинейных усилителей мощности хороших результатов удалось добиться с использованием дискретной системы урысоновского типа [8]:

$$y(n) = \sum_{k=0}^K f_k(x(n-k)), \quad (8)$$

которая, очевидно, обратима:

$$x(n) = f_0^{-1}\left(y(n) - \sum_{k=1}^K f_k(x(n-k))\right),$$

если у $f_0(x)$ существует обратная функция. В самом общем случае условие обратимости обобщенной функциональной модели (3) также очевидно. ОФМ будет обратима, если ее структура может быть разделена на инерционную и аддитивнобезынерционную части:

$$\begin{aligned} y(n) &= F(X_M(n), Y_M(n)) = \\ &= f_0(x(n)) + F_1(X_{N-1}(n-1), Y_M(n)) \end{aligned} \quad (9)$$

и $f_0(x)$ обратима.

Заключение

В работе удалось показать, что для довольно обширного класса нелинейных систем, включающего системы, описываемые дискретным аналогом оператора Урысона, удастся построить точную обратную модель и найти системы линейных уравнений, позволяющие оценить коэффициенты модели методом наименьших квадратов.

Результаты настоящей работы могут быть использованы для эффективной реализации в системах цифровой обработки сигналов и цифрового управления нелинейными динамическими системами.

Приложение

Рассмотрим систему с дискретным временем, для которой известны реализации входного $x(n)$ и выходного $y(n)$ сигналов ($n = 0, 1, \dots, L$). Построим ее модель, описываемую уравнением

$$y(n) = F(x(n), x(n-1), \dots,$$

$$x(n-N), y(n-1), y(n-2), \dots, y(n-M)) =$$

$$F(X_M(n), Y_M(n)),$$

в котором функция F имеет представление

$$F(X_M(n), Y_M(n)) = \sum_{k=0}^K a_k f_k(X_M(n), Y_M(n)),$$

где $f_k(X_M(n), Y_M(n))$ – известные функции.

Найдем коэффициенты этой модели методом наименьших квадратов. Квадратичная ошибка моделирования:

$$E = \sum_{n=0}^L \left(y(n) - \sum_{k=0}^K a_k f_k(X_M(n), Y_M(n)) \right)^2$$

Коэффициенты a_k можно найти, минимизируя E . Необходимые условия существования минимума E выглядят следующим образом:

$$\frac{\partial E}{\partial a_i} = 0, \quad i = 0, 1, \dots, K,$$

что приводит к системе уравнений:

$$\begin{aligned} \sum_{k=0}^K a_k \sum_n f_i(X_M(n), Y_M(n)) f_k(X_M(n), Y_M(n)) &= \\ = \sum_n y(n) f_i(X_M(n), Y_M(n)), \quad i = 0, 1, \dots, K. \end{aligned}$$

Введя матрицу Φ и вектор Ψ с элементами

$$\Phi_{ik} = \sum_{n=0}^L f_i(X_M(n), Y_M(n)) f_k(X_M(n), Y_M(n)),$$

$$\Psi_i = \sum_{n=0}^L y(n) f_i(X_M(n), Y_M(n)), \quad i, k = 0, 1, \dots, K,$$

получим матричное уравнение относительно вектора неизвестных коэффициентов:

$$\Phi \cdot a = \Psi,$$

где $a = (a_0, a_1, \dots, a_K)^T$, $\Psi = (\Psi_0, \Psi_1, \dots, \Psi_K)^T$.

Литература

1. Калман Р., Фалб П., Арбиб М. Очерки по математической теории систем. М.: Мир, 1971.
2. Крылов В.В., Херманис Э.Х. Модели систем обработки сигналов. Рига: Зинатне, 1981.
3. Крылов В.В. Построение моделей внутренней структуры динамических систем по входо-выходным соотношениям (теория абстрактной реализации). I. Обзор// АиТ 1984. № 2. С. 5–19.
4. Крылов В.В. Построение моделей внутренней структуры динамических систем по входо-выходным соотношениям (теория абстрактной реализации). II. Обзор//АиТ 1984. № 3. С. 5–19.
5. Фараджев Р.Г. Линейные последовательностные машины. М.: Советское радио, 1975.
6. Saleh A.A.M. Frequency-independent and frequency-dependent nonlinear models of TWT amplifiers // IEEE Trans. Commun. N. 1997. V. 29, P. 1715–1720.
7. Haykin S. Adaptive Filter Theory. NJ: Prentice-Hall, 1986.
8. Крылов В.В., Хехнев С.В. Линеаризация широкополосного усилителя мощности с использованием адаптивного цифрового предсказания в основной полосе частот. 5-я международная конференция и выставка «Цифровая обработка сигналов и ее применение». М.: 2003.

Март-2004. Тур технических семинаров ЗАО "АРГУССОФТ Компани" и ANALOG DEVICES в России

ЗАО "АРГУССОФТ Компани", российский дистрибьютор фирмы ANALOG DEVICES, провел в марте 2004 года серию семинаров, представляющую новейшие высокопроизводительные цифровые процессоры для обработки сигналов. Основной материал семинаров был подготовлен и представлен инженером ANALOG DEVICES Йоханнесом Хорватом (Johannes Horvath), который более 15 лет работает в сфере применения цифровых сигнальных процессоров. Это давало уникальную возможность участникам семинара получить информацию "из первых рук", услышать ответы на интересующие их вопросы по применению цифровых процессоров. Качественный перевод и прекрасно оформленные презентационные и раздаточные материалы позволили легко воспринять предложенный материал.

Семинары, которые проводились в Томске, Новосибирске, Москве и Саратове с 1 по 4 марта, посетили более 400 человек, в числе которых были руководители предприятий, уже использующих или планирующих использовать современные цифровые процессоры обработки сигналов в своих конечных изделиях, технические директора, инженеры-разработчики, программисты, научные сотрудники исследовательских институтов, преподаватели высших учебных заведений, аспиранты и студенты.

Материалы семинаров были на 90% посвящены описанию новейших 16-разрядных высокопроизводительных процессоров семейства BlackFin. Тем не менее, был проведен обзор выпускаемых в настоящий момент и перспективных моделей других семейств, включая уже завоевавшие уважение инженеров 16-разрядные целочисленные процессоры семейства ADSP-218x, ADSP-219x, 32-разрядные процессоры для вычислительных операций с плавающей точкой семейства SHARC производительностью 100–600 млн. операций с плавающей точкой в секунду, и самые мощные на сегодняшний день процессоры семейства TigerSHARC, производительность которых может достигать 4.8 млрд. операций умножения с накоплением в секунду.

Все присутствующие на семинарах были заверены в том, что широко применяемые в отечественных изделиях процессоры семейства ADSP-218x, ADSP-2106x не будут сняты с производства в связи с появлением новых, более мощных моделей. Их выпуск будет продолжен, по крайней мере в течение ближайших 5-7 лет, однако дальнейшего развития существующие семейства ADSP-218x, ADSP-219x, ADSP-2106x, ADSP-2116x получать не будут.

Поэтому для применения в новых разработках специалисты Analog Devices настоятельно рекомендуют использовать процессоры семейства BlackFin, которые сочетают в себе как высокую производительность цифровой обработки (до 1.5 млрд операций умножения с накоплением в секунду), так и гибкость управления и адресации, большое число периферийных устройств, присущие традиционным микроконтроллерам. При этом эти процессоры обладают хорошими возможностями по управлению потреблением энергии, что дает возможность использовать их и в аппаратуре с батарейным питанием.

Достаточно детально была рассмотрена внутренняя архитектура процессоров семейства BlackFin, особенности которой позволяют использовать их и для обработки потоков "живого" видео и звука в реальном времени, рассмотрены концепции построения систем обработки звука и изображения, которые можно реализовать с помощью одного или нескольких процессоров данного семейства.

В настоящее время семейство BlackFin состоит из 5 моделей: ADSP-BF535, имеющего хорошо развитую периферию, процессоров ADSP-BF531/532/533, совместимых между собой программно и аппаратно, причем стоимость процессора ADSP-BF531 составляет всего \$4.95 (в партии от 10 000 шт.) и

самого мощного на сегодня процессора семейства ADSP-BF561, имеющего на кристалле два вычислительных ядра, каждое из которых может производить вычисления со скоростью до 750 млн. операций умножения с накоплением в секунду. Все представители семейства BlackFin специфицированы как в коммерческом, так и в промышленном температурном диапазоне, а процессоры ADSP-BF531/532 выпускаются еще и в корпусах TQFP. Был представлен новый корпус, в котором будут выпускаться некоторые модели процессоров семейства BlackFin, разработанный специально для удовлетворения требований производителей изделий автоэлектроники (специальный BGA-корпус, в котором расстояния между выводами по периферии составляет 1.0 мм, а выводы в центре корпуса предназначены для разводки питания и земли). Для полноты картины были вкратце представлены перспективные модели процессоров семейства BlackFin, которые планируются к выходу в серийное производство в 2004 и 2005 годах.

Естественно, были рассмотрены и инструментальные средства для подготовки и создания прикладного программного обеспечения. На семинарах была представлена новая версия интегрированной среды для разработки прикладного программного обеспечения VisualDSP++ (версия 3.5) (VDSP-BFN-PC-FULL), рассмотрены ее отличия от применяемой ранее версии 3.0, а также новый, недорогой внутрисхемный эмулятор с USB-интерфейсом (ADDS-USB-ICE). Интересно, что семинары были предварены специальной акцией, проведенной Analog Devices в течение 5 месяцев (с 1 октября 2003 года по 27 февраля 2004), в рамках которой каждый инженер мог приобрести за 50% стоимости (\$185, включая НДС) стартовый комплект для работы с процессорами BlackFin и/или TigerSHARC. И это приобретение давало заинтересованным людям возможность сэкономить еще 50% при последующей покупке полной версии программного обеспечения и/или новейшего высокопроизводительного внутрисхемного эмулятора (что является существенно большей экономией по сравнению со стоимостью стартового комплекта).

На всех семинарах специалистом Analog Devices задавалось множество практических вопросов по применению процессоров, перспективам их развития и т.п., на которые слушатели получили исчерпывающие ответы, хотя и не всегда соответствующие их (слушателей) ожиданиям. Так, например, на вопрос, что может специалист Analog Devices порекомендовать для управления двигателями, довольно неожиданно прозвучала рекомендация использовать новые модели семейства микроконверторов (ADuC70xx), которые будут представлены и выйдут в серийное производство в этом году, а на вопрос, собирается ли Analog Devices сделать высокопроизводительный процессор для обработки сигналов с встроенной флэш-памятью, был дан отрицательный ответ, поскольку разница в технологии производства DSP и флэш-памяти настолько велика, что соединить эти две технологии на одном кристалле просто невозможно без ущерба для той или иной стороны.

К чести организаторов семинаров, нужно отметить, что во всех городах они были проведены на высоком уровне. Согласно полученным откликам, 95% участвовавших в семинарах были удовлетворены темами, качеством подачи материала и организацией данных мероприятий. Все участники семинаров получили в руки брошюры со слайдами презентаций и компакт-диск, на который были собраны разнообразные информационные материалы как по самим процессорам для обработки сигналов, так и по их применению. Материалы семинара и сейчас доступны для инженеров в офисах ЗАО "АРГУССОФТ Компани" в Москве, Санкт-Петербурге, Новосибирске и Екатеринбурге. А сотрудники инженерного центра ЗАО "АРГУССОФТ Компани" в Москве готовы ответить на возникающие в процессе освоения DSP вопросы.

УДК 621.391.01

Полифазная реализация цифровой когерентной обработки сигналов с минимальной частотной и бинарной фазовой манипуляцией

Кириллов С.Н., Поспелов А.В.

Введение

В перспективных радиолокационных станциях (РЛС) находят все более широкое применение цифровые устройства формирования и обработки зондирующих сигналов [1]. Эти устройства [2], состоящие из программируемого

процессора сигналов (ППС), цифро-аналоговых и аналого-цифровых преобразователей (ЦАП и АЦП), позволяют менять тип зондирующего сигнала в зависимости от режима работы РЛС. При этом не требуются аппаратные изменения, поскольку замена типа сигнала осуществляется программным способом путем перехода к соответствующим алгоритмам формирования и обработки.

В [1,3] рассмотрены алгоритмы когерентной обработки типовых радиолокационных сигналов, в том числе сигналов с бинарной фазовой манипуляцией (ФМн-2), у которых огибающая равномерная, а тело неопределенности имеет кнопочную форму [4]. В тех случаях, когда требуется уменьшить возникающие при полосовой фильтрации искажения огибающей сигнала, возможна замена бинарной фазовой манипуляции на минимальную частотную [5-7]. Поскольку соседние элементарные импульсы сигналов с минимальной частотной манипуляцией (МЧМ) расположены в разных квадратурных составляющих, искажение этих импульсов не приводит к возникновению резких провалов и спадов в огибающих МЧМ сигналов.

От вычислительной эффективности когерентной обработки зондирующих сигналов непосредственно зависит реализуемость ППС. Основной объем вычи-

Рассмотрена реализованная на основе полифазных фильтров процедура цифровой когерентной обработки сложных сигналов с минимальной частотной и с бинарной фазовой манипуляцией. Продемонстрирована целесообразность использования предлагаемой процедуры для радиолокационных систем. Представлены структурные схемы квадратурного полифазного демодулятора и канальных полифазных фильтров. Показано, что применение полифазного разбиения передаточной функции для квадратурной демодуляции позволяет в 2 раза сократить вычислительные затраты.

слений при когерентной обработке расходуется на выполнение цифровой фильтрации, в которой используются методы вторичной дискретизации. Как отмечается в [8,9], многоступенчатая дискретизация с полифазным представлением структуры цифровых фильтров является эффективным средством минимизации вычислительных затрат. Таким образом, за счет применения полифазных фильтров при многоступенчатой дискретизации возможно увеличить вычислительную эффективность когерентной обработки.

Цель работы – разработать процедуру цифровой когерентной обработки ФМн-2 и МЧМ сигналов, реализованную на основе полифазных фильтров с многоступенчатой дискретизацией.

Цифровая квадратурная демодуляция

Рассмотрим когерентную квадратурную демодуляцию, которая применяется для вычисления отсчетов (выборок) $s'_i + js''_i$ комплексной огибающей [4] МЧМ или ФМн-2 сигнала (рис. 1а). Полагаем, что с АЦП в ППС поступают отсчеты сигнала x_i с частотой дискретизации $F_d = 4f_0/(2m + 1)$ [1], где f_0 – несущая частота сигнала на выходе усилителя промежуточ-

ной частоты, m – произвольное целое число. При основном режиме дискретизации $m = 0$, а при стробоскопическом режиме – $m \geq 1$. Нижняя граничная частота полосового фильтра на входе АЦП должна быть не менее $0,5F_d m$, а верхняя – не более $0,5F_d(m + 1)$. В этом случае отсчеты, поступающие с цифрового генератора, имеют вид:

$$\{g_i^m\} = \{\cos(0,5\pi i(2m + 1))\} =$$

$$\{1, 0, -1, 0, 1, 0, -1, \dots\}$$

и

$$\{g_i^{m+1}\} = \{-\sin(0,5\pi i(2m + 1))\} =$$

$$\{0, (-1)^{m+1}, 0, (-1)^m, 0, \dots\},$$

где $i = 0, \infty$. Для того чтобы определить отсчеты составляющих комплексной огибающей s_i' и s_i'' , отсчеты x_i умножаются на отсчеты g_i^m и g_i^{m+1} и поступают в два одинаковых фильтра нижних частот (ФНЧ) с передаточной функцией

$$H(z) = \sum_i h_i z^{-i}.$$

С целью снижения объема вычислений на выходе каждого ФНЧ отсчеты прореживаются с коэффициентом децимации M , как показано на рис. 1а. Здесь множитель $(-1)^m$ служит для компенсации инверсии спектра.

Представим последовательность отсчетов $\{x_0 g_0^m, x_2 g_2^m, 0, \dots\}$ и $\{0, x_1 g_1^{m+1}, x_3 g_3^{m+1}, 0, \dots\}$ как результат децимации с последующим экспандированием с коэффициентом 2 отсчетов $x_i g_i^m$ и $x_i g_i^{m+1}$ (рис. 1б). Рассмотрим случай, когда коэффициент децимации $M = 2$. Осуществим двухкомпонентное полифазное разбиение передаточной функции ФНЧ в виде

$$H(z) = H_0(z^2) + z^{-1} H_1(z^2).$$

Используя «замечательные тождества» [8], преобразуем схему на рис. 1б в эквивалентную схему на рис. 1в. Передаточные функции ФНЧ в каждом канале имеют вид:

$$H_0(z) = \sum_i h_{2i} z^{-i}$$

и

$$H_1(z) = \sum_i h_{2i+1} z^{-i}.$$

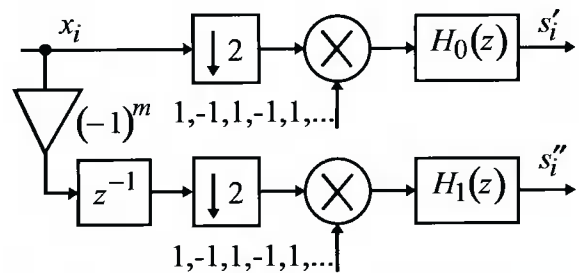
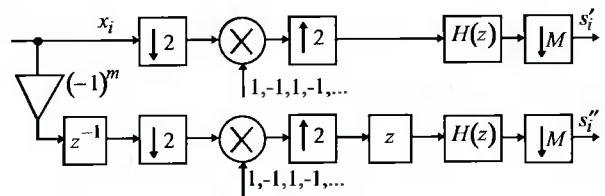
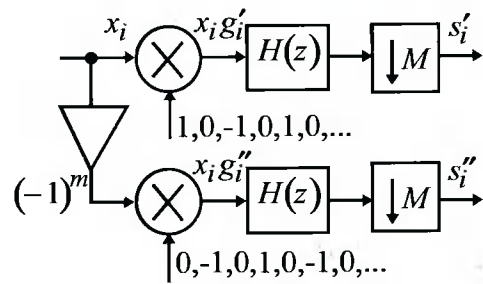


Рис. 1. Последовательные модификации цифрового квадратурного демодулятора при:

- а) – прямая форма;
- б) – модифицированная форма;
- в) – полифазная модифицированная форма при $M = 2$

Схема на рис. 1в обеспечивает двукратную экономию в скорости вычисления прореженных отсчетов s_i' и s_i'' по отношению к схеме на рис. 1а. Для полуполосных ФНЧ [8], у которых нечетные отсчеты импульсной характеристики равны 0, за исключением

центрального, реализацию фильтра с передаточной функцией $H_1(z)$ можно осуществить с помощью двух операций: задержки на определенное количество тактов и умножения на константу. Подобные алгоритмы цифровой демодуляции на базе преобразователей Гильберта для обработки других сигналов, например с линейной частотной модуляцией, и для получения сигналов с одной боковой полосой рассмотрены в [10, 11]. При нечетном M квадратурный демодулятор реализуется на основе полифазных фильтров с рациональным коэффициентом децимации $2/M$. При $f_0 \gg 1/T$ отсчеты s_i^+ и s_i^- дополнительно прореживаются в многоскоростных полифазных фильтрах децимации [12], так чтобы конечная частота дискретизации отсчетов s_i^+ и s_i^- была бы равна F'_d .

Частотно-временная фильтрация

Рассмотрим частотно-временную фильтрацию МЧМ сигнала, которая осуществляется в матрице дальность-скорость, состоящей из набора канальных фильтров [3]. Полагаем, что диапазон доплеровских частот находится в пределах $\pm 0,25/T$, где T – временной интервал между соседними элементарными импульсами. Частотно-временную фильтрацию будем осуществлять в пределах главного лепестка спектра сигнала. Расчеты показали, что потери в отношении сигнал-шум при отбрасывании боковых лепестков спектра для МЧМ и ФМн-2 сигналов равны соответственно 0,022 и 0,44 дБ. При этом минимальная дисперсия ошибки измерения дальности [4] для МЧМ сигнала уменьшается на 16%. Поскольку ширина главного лепестка спектра МЧМ сигнала составляет $1,5/T$, частота дискретизации прореженных отсчетов для этого сигнала с доплеровским сдвигом частоты $|f_d| \leq 0,25/T$ должна быть $F'_d = 2/T$.

Комплексная огибающая МЧМ сигнала [5-7] имеет вид:

$$s_i(t) = \sum_{i=0}^{N-1} a_i j^i u_i(t - iT), \quad (1)$$

где $i = \sqrt{-1}$, $a_i = \pm 1$,

$$u_i(t) = \begin{cases} \cos(0,5\pi t/T) & \text{при } |t| < T, \\ 0 & \text{при } |t| \geq T. \end{cases}$$

Согласно выражению (1), комплексную огибающую МЧМ сигнала $s(t)$ можно представить как свертку решетчатой функции

$$\sum_{i=0}^{N-1} a_i j^i \delta(t - iT)$$

и элементарного импульса $u_1(t)$. Поскольку на каждый тактовый интервал приходится по два комплексных отсчета $s_i^+ + js_i^-$, канальный фильтр с доплеровской частотой f_d представим в виде двух последовательно подключенных фильтров: согласованного с последовательностью $\{a_0, 0, a_1 \exp(j2\pi f_d T), 0, \dots\}$ и согласованного с элементарным импульсом, имеющим доплеровский сдвиг частоты f_d . Вместо второго фильтра, согласованного с элементарным импульсом, воспользуемся квазисогласованным фильтром, у которого частотная характеристика является комплексно-сопряженной с главным лепестком спектра элементарного импульса, смещенного на величину доплеровского сдвига f_d . Импульсная характеристика первого фильтра содержит N не равных нулю комплексных отсчетов, а импульсная характеристика второго $K \approx 3 \dots 10$ отсчетов. При $N > 10$ такое включение двух фильтров обеспечивает сокращение объема вычислений в $1,5 \dots 2$ раза по сравнению с обычной сверткой принимаемых и эталонных комплексных отсчетов, количество которых равно $2N$. Используя «замечательные тождества» [8], первый фильтр можно реализовать как полифазный двухкомпонентный фильтр с передаточной функцией элементарного фильтра:

$$\begin{aligned} A(z) &= \sum_{i=0}^{N-1} a_i j^{-i} \exp[-j2\pi f_d T i] z^{-i} = \\ &= \sum_{i=0}^{N-1} a_i \exp[-j2\pi(f_d T + 0,25) i] z^{-i}. \end{aligned} \quad (2)$$

Полифазная реализация канальных фильтров, приведенная на рис. 2, позволяет использовать параллельную архитектуру ППС [2], обеспечивающую высокую скорость вычисления.

При количестве элементов в кодовой последовательности $N > 30$ вместо фильтра с передаточной функцией $A(z)$ целесообразно применять секционированную свертку в частотной области с использованием быстрого преобразования Фурье или теоретико-числовые преобразования [13]. Предлагаемая полифазная реализация канального фильтра позволяет уменьшить на $10 \dots 40$ % объем вычислений при секционированной свертке. Если требуется подавить боковые лепестки сжатого МЧМ сигнала, то в выражении (2) вместо кодовой последовательности $\{a_i\}$ подставляются коэффициенты весового фильтра [14], синтезированные для ФМн-2 сигнала с кодовой последовательностью $\{a_i\}$.

Передаточная функция второго фильтра, квазисогласованного с элементарным импульсом, определяется как

$$U(z) = \sum_{n=0}^{K-1} u_n \exp(-j\pi f_n T) z^{-n}. \quad (3)$$

При синтезе по критерию минимума потерь на рассогласование с главным лепестком спектра сигнала были получены следующие пять коэффициентов: $\{u_n\}_{n=0}^4 = \{0,103; 0,638; 1; 0,638; 0,103\}$. Для этих коэффициентов потери на рассогласование с главным лепестком спектра составляют 0,0042 дБ.

При когерентной обработке ФМн-2 сигналов с шириной главного лепестка спектра $2/T$ и доплеровским сдвигом $|f_d| \leq 0,5/T$ конечная частота дискретизации должна быть $F'_d = 3/T$. Реализация канального фильтра для ФМн-2 сигнала, приведенная на

рис. 3, аналогична предыдущей реализации фильтра для МЧМ сигнала.

Здесь при $F'_d = 3/T$ первый фильтр согласован с последовательностью $\{a_0, 0, 0, a_1 \exp(j2\pi f_d T), 0, 0, \dots\}$ и является трехкомпонентным. Передаточная функция элементарного фильтра определяется выражением

$$A'(z) = \sum_{i=0}^{N-1} a_i \exp[-j2\pi f_d T i] z^{-i}. \quad (4)$$

Коэффициенты второго фильтра с передаточной функцией

$$U'(z) = \sum_{n=0}^{K-1} u'_n \exp[-j(2/3)\pi f_n T] z^{-n} \quad (5)$$

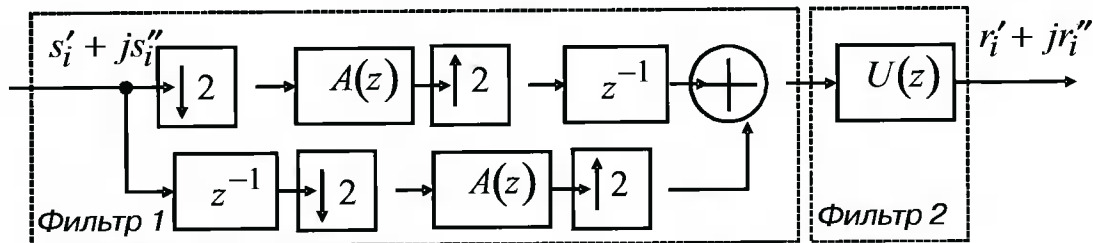


Рис. 2. Канальный фильтр святия МЧМ сигналв при $F'_d = 2/T$

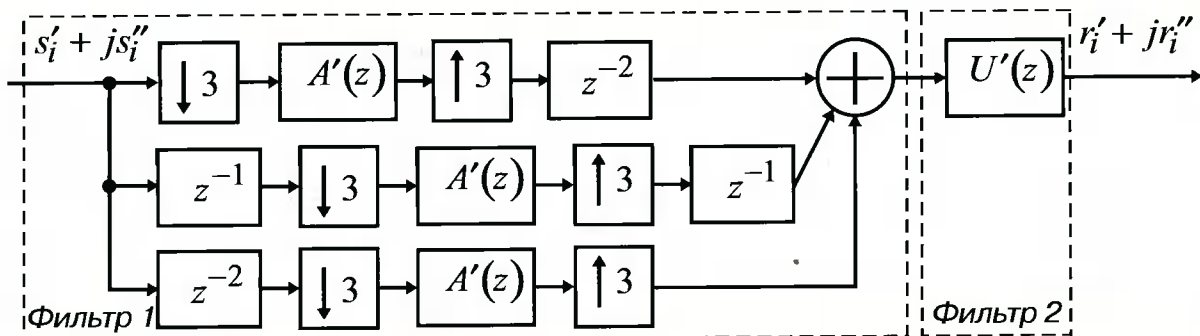


Рис. 3. Канальный фильтр святия ФМн-2 сигнала при $F'_d = 3/T$



задаются как $\{u_n^i\}_{n=0}^4 = \{0,136; 0,673; 1; 0,673; 0,136\}$. Потери на рассогласование с главным лепестком спектра составляют 0,012 дБ.

Используя при частотно-временной фильтрации боковые лепестки спектра и увеличив частоту дискретизации F'_d до $L/T > 3/T$, возможно улучшить точность оценки задержки МЧМ и ФМн-2 сигналов. В этом случае первый фильтр преобразуется в L-компонентный полифазный, что позволяет в L раз сократить объем вычислений по сравнению с обычной сверткой. Выигрыш за счет использования полифазных фильтров при быстрой секционированной свертке приблизительно равен $1 + (\log_2 L)/(1 + \log_2 N)$. Так при $L = 5$ и $N = 100$ этот выигрыш составляет 30%.

Заключение

Приведенная полифазная реализация квадратурного демодулятора позволяет в два раза сократить объем вычислений. Для МЧМ и ФМн-2 сигналов с частотой дискретизации $F'_d = L/T$ предложенная реализация частотно-временной фильтрации требует в L раз меньший объем вычислений по сравнению с обычной сверткой отсчетов принимаемого и эталонного сигналов. При использовании быстрой секционированной свертки экономия в объеме вычислений оказывается в пределах 10...40%.

Литература

1. Бобров Д.Ю. и др. Цифровая обработка сигналов в многофункциональных РЛС. Ч. 1 // Цифровая обработка сигналов, 2001, № 4. С. 2–11.
2. Бобров Д.Ю. и др. Цифровая обработка сигналов в многофункциональных РЛС. Ч. 3 // Цифровая обработка сигналов, 2002, № 2, С. 42–50.

3. Бобров Д.Ю. и др. Цифровая обработка сигналов в многофункциональных РЛС, Ч. 2 // Цифровая обработка сигналов, 2002, № 1. С. 28–39.

4. Варакин Л.Е. Теория сложных сигналов. М.: Сов. радио, 1970, 376 с.

5. Пестряков В.Б. и др. Дискретные сигналы с непрерывной фазой: теория и практика // Зарубежная радиоэлектроника, 1988, № 4. С. 16–37.

6. Ипатов В.П. и др. Эквивалентность задач синтеза двоичных шумоподобных сигналов с фазовой и минимальной частотной манипуляцией // Радиотехника и электроника, 1989, т. 34, № 7. С. 1402–1407.

7. Кириллов С.Н., Поспелов А.В. Алгоритм синтеза сложных апериодических сигналов с минимальной частотной манипуляцией // Радиотехника, 2001, № 12. С. 24–26.

8. Вайдынатхан П.П. Цифровые фильтры, блоки фильтров и полифазные цепи с многочастотной дискретизацией: Методический обзор // ТИИЭР, 1990, т. 78, №3. С. 77–119.

9. Витязев В.В. Цифровая частотная селекция сигналов. М.: Радио и связь, 1993, 240 с.

10. Бехар В., Кабакчиев Х. Алгоритмы цифровых демодуляторов ЛЧМ-сигналов // Цифровая обработка сигналов, 2001, №2. С. 25–31.

11. Ланнэ А.А., Шапала В.С. Синтез преобразователей Гильберта // Цифровая обработка сигналов, 2002, №2. С. 23–26.

12. Витязев В.В., Зайцев А.А. Оптимальное проектирование многоступенчатых структур фильтров-дециматоров на сигнальных процессорах // Цифровая обработка сигналов, 2001, №2. С. 2–9.

13. Гольденберг Л.М. и др. Цифровая обработка сигналов. М.: Радио и связь, 1985, 312 с.

14. Амиантов И.Н. Избранные вопросы статистической теории связи. М.: Сов. радио, 1971, 461 с.

Новые разработки DSP компаний Analog Devices и Texas Instruments

ANALOG DEVICES

Новое поколение процессоров TigerSHARC

Семейство сигнальных процессоров TigerSHARC компании Analog Devices характеризуется высокопроизводительной архитектурой, обладающей рядом уникальных особенностей, что делает процессоры этого семейства чрезвычайно привлекательными для многих приложений. В июне 2003 года компанией Analog Devices было объявлено о появлении в инженерных образцах представителей нового поколения TigerSHARC – процессоров ADSP-TS201, TS202 и TS203. Новые модели все убедительнее призывают разработчиков сложных в вычислительном отношении систем обработки сигналов переходить на платформу TigerSHARC. К таким системам относятся: базовые станции беспроводной связи поколений 2G, 2,5G и 3G; медицинское диагностическое оборудование, работающее с изображениями; радиолокационные и гидролокационные комплексы; промышленное оборудование. Становится более эффективным использование сигнальных процессоров TigerSHARC вместо схем ASIC и FPGA: снижается энергопотребление изделий и стоимость их производства; разработчик получает гибкую, легко модернизируемую программным путем платформу, эффективно поддерживающую организацию многопроцессорных структур.

Новые процессоры семейства TigerSHARC характеризуются высокими отношениями производительность/цена, производительность/потребляемая мощность и, что особенно важно для многопроцессорных систем, производительность/габариты. Повышение рабочей частоты до 600 МГц позволило увеличить пиковую производительность до 4,8 GMACS при работе в режиме с фиксированной точ-

Представлен краткий обзор новых разработок компаний Analog Devices и Texas Instruments в области цифровых сигнальных процессоров, продуктов на их основе и поддерживающих инструментальных средств. Обзор охватывает период июнь–октябрь 2003 года. Рассмотрены новые модели процессоров SHARC и TigerSHARC компании Analog Devices и процессоров TMS320F28x и TMS320DM64x компании Texas Instruments.

кой и до 3,6 GFLOPS – с плавающей точкой. Использование новой технологии построения link-портов увеличило пропускную способность межпроцессорного интерфейса до 5 Гбайт/с. Благодаря совместной разработке компаний Analog Devices и IBM Microelectronics в новые процессоры TigerSHARC встроена внутренняя память DRAM объемом до 24 Мбит. Перечисленные особенности позволили существенно повысить общую производительность процессоров TigerSHARC и говорить о новом поколении этого семейства.

Среди новых моделей наиболее мощным является процессор ADSP-TS201. Его отличают повышенная рабочая частота – 600 МГц (время командного цикла 1,67 нс) и большой объем внутрикristальной памяти DRAM – 24 Мбит. Время выполнения комплексного 1024-точечного БПФ составляет 16,8 мкс. Процессор ADSP-TS202 имеет рабочую частоту 500 МГц (время командного цикла 2 нс) и включает 12 Мбит внутренней DRAM-памяти. Время выполнения аналогичного алгоритма БПФ – 20,2 мкс. И, наконец, сигнальный процессор ADSP-TS203 отличается невысокой для процессоров TigerSHARC стоимостью – \$34,95. Этот процессор также работает на частоте 500 МГц, но имеет меньший объем внутренней памяти DRAM – 4 Мбит. Время выполнения БПФ – 20,2 мкс.

Все три процессора выпускаются в корпусе BGA на 576 выводов с размером микросхемы 25x25 мм. Процессор ADSP-TS201 выпускается как с частотой 600 МГц, так и с частотой 500 МГц. Ориентировочные цены на 500 МГц-процессоры при покупке партиями следующие: ADSP-TS201 – \$299, ADSP-TS202 – \$149, ADSP-TS203 – \$34,95.

Третье поколение процессоров SHARC

Компания Analog Devices представляет первый процессор семейства SHARC третьего поколения – ADSP-21262. Его отличают повышенная внутренняя тактовая частота, расширенная внутрикристалльная память и модернизированный процессор ввода-вывода. Процессор ориентирован на применение в системах высококачественного аудио, развлекательном оборудовании (в том числе для автомобилей), в системах распознавания голоса, в медицинском оборудовании, измерительных приборах, а также в телефонии и беспроводной связи.

Архитектура процессора ADSP-21262 (рис. 1), как и процессоров SHARC второго поколения, строится на базе двойного операционного ядра и поддерживает режим SIMD (одна команда – много данных), особенно эффективный в аудиоприложениях. Тактовая частота процессора 200 МГц (время командного цикла 5 нс). Пиковая производительность архитектуры – 1,2 GFLOPS. Время выполнения типовой задачи комплексного 1024-точечного БПФ – 46 мкс.

Память процессора на кристалле включает двухпортовое ОЗУ типа SRAM объемом 2 Мбита и двухпортовое ПЗУ объемом 4 Мбита. Такое пространство внутренней памяти повышает эффективность работы систем, позволяя во многих приложениях обходиться без внешних модулей памяти.

Периферия процессора включает 6 независимых последовательных портов, работающих в дуплексном режиме; 3 таймера; 16-разрядный параллельный порт; интерфейс SPI; 22-канальный контроллер DMA и новую разработку – интерфейс, настраиваемый на приложение (Digital Applications Interface – DAI).

Интерфейс DAI предназначен для разработки системы ввода-вывода, определяемой программной конфигурацией и переконфигурацией соединений процессора и периферии. В результате появляется возможность использовать один и тот же процессор при различных требованиях к его интерфейсам и настраивать ввод-вывод программно непосредственно под приложение. Соединения с периферией идут через маршрутизатор сигналов (Signal Routing Unit – SRU), который и реализует гибкую и переконфигури-

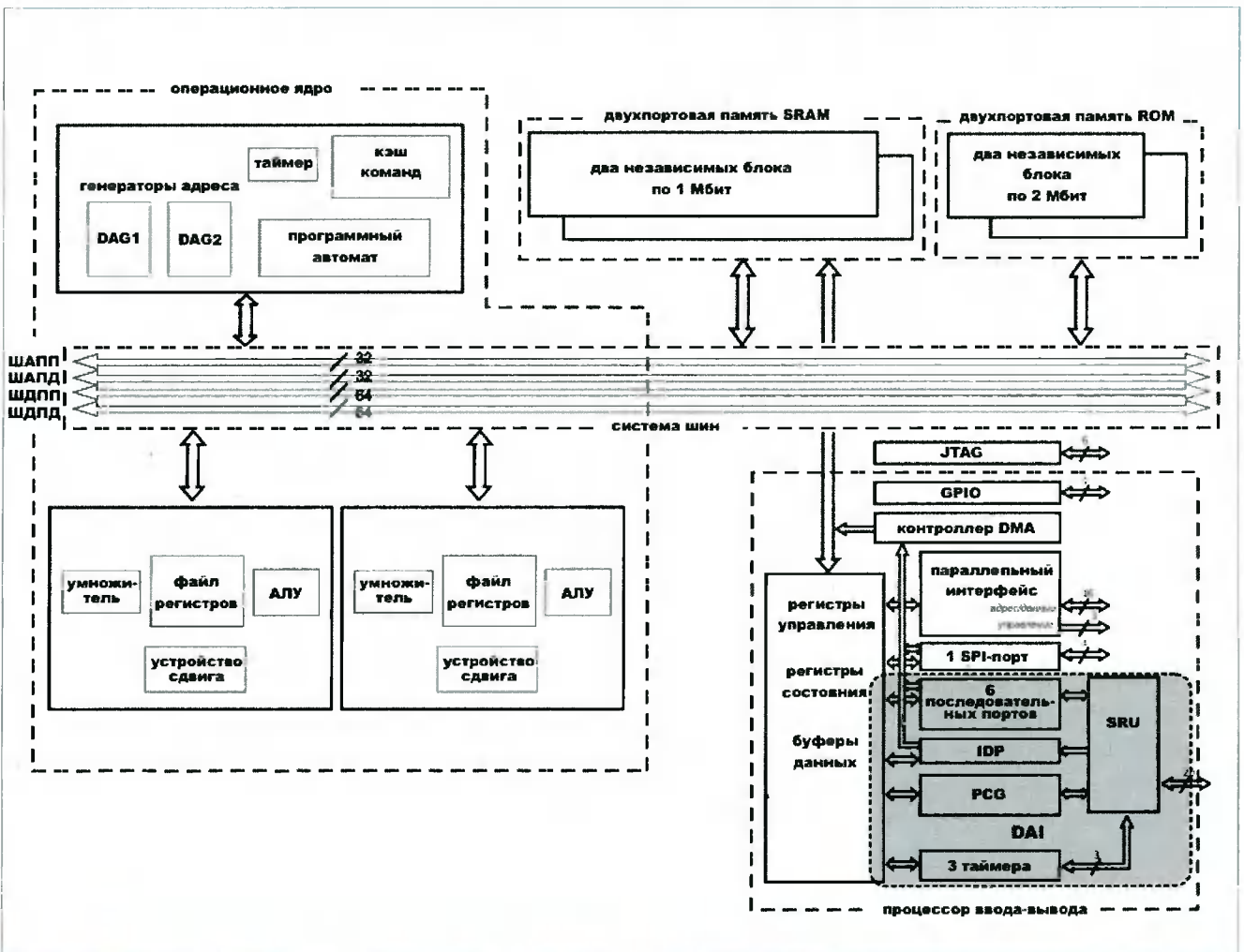


Рис. 1. Архитектура процессора SHARC ADSP-21262

руемую коммутацию. Периферия, входящая в состав DA1, включает: высокоточный тактовый генератор (PCG), порт ввода данных (IDP), 6 последовательных портов (SPORT), ввод-вывод флагов по 6 каналов в каждом направлении, три таймера и блок SRU. Порт IDP – это дополнительный канал, работающий на ввод и конфигурируемый как 8 каналов последовательного приема данных или как 7 последовательных каналов и один канал параллельного 20-разрядного ввода.

В целом архитектура ADSP-21262 – это мощная современная платформа сигнальной обработки с развитой системой ввода-вывода, обеспечивающая разработчику снижение затрат на производство, модернизацию конечных изделий, упрощающая и ускоряющая процесс проектирования.

Применение процессора Blackfin

Семейство сигнальных процессоров Blackfin компании Analog Devices создавалось с целью применения в системах беспроводной мобильной связи третьего поколения, обеспечивающей аудио и видео высокого качества и требующей решения сложных вычислительных задач. На базе этого процессора компания Analog Devices намерена выпускать специализированную платформу Blackfin eMedia для разработчиков цифровых развлекательных электронных приборов следующего поколения, к которым можно отнести портативные аудио- и видеопроигрыватели, бытовые мультимедиа-системы, электронные игры и другое. Созданные на основе новой платформы подобные устройства будут выигрывать в себестоимости и простоте разработки и модификации, благодаря программной реализации функциональных узлов на DSP. Платформа Blackfin eMedia выполнена на одном кристалле и включает операционное ядро на базе процессора Blackfin со встроенным программным обеспечением аудио и видео стандартов, включая Windows Media Audio and Video 9 Series. Первым устройством этого направления является модель ADSP-BF532eM10, уже появившаяся в инженерных образцах стоимостью \$11.95.

Еще одной разработкой компании Analog Devices, ориентированной на внедрение процессоров Blackfin, стала платформа Blackfin Car Telematics, которая предназначена для разработчиков систем дистанционного управления в автомобилях. Такие системы в настоящее время являются очень дорогостоящими и по этой причине мало распространены. В то же время подобные средства в автомобилях при условии их доступности были бы очень востребова-

ны. Новая платформа компании Analog Devices может помочь разрешить эту проблему. Blackfin Car Telematics способна взять на себя и реализовать программно в одном кристалле ряд узлов, которые сейчас строятся аппаратно. Это позволит существенно (ориентировочно в два раза) уменьшить стоимость систем дистанционного управления автомобилями.

Платформа включает программное обеспечение по выполнению функций глобального позиционирования, навигационного вычисления пути, операций «handsfree», понижения шума и эхо-компенсации, распознавания речи для управления голосом и преобразований «текст-речь» для подачи команд управления или создания электронных сообщений. Платформа характеризуется наличием встроенной операционной системы, осуществляющей управление распределением ресурсов, и поддержкой языка Java, повышающего эффективность программирования и повторного использования программных модулей.

Начало выпуска платформы Blackfin Car Telematics – 3 квартал 2003 года. Цена изделия – \$20.

TEXAS INSTRUMENTS

Сигнальные контроллеры TMS320F28x

Платформа C2000 компании Texas Instruments (TI), ориентированная на применение во встраиваемых системах управления и контроля, получила широкое распространение благодаря совмещению в этих процессорах вычислительной производительности сигнальных процессоров и свойств микроконтроллеров. Наиболее передовым семейством этого класса являются процессоры TMS320C28x, именуемые компанией TI как сигнальные контроллеры.

Семейство C28x отличает 32-разрядная архитектура ядра. Умножитель-накопитель осуществляет за один такт одно умножение 32 на 32 разряда или два умножения 16 на 16 разрядов. Усовершенствованный блок обработки прерываний снижает время отклика на прерывание до 20 нс. Процедура «чтение-модификация-запись» для любой ячейки внутренней памяти реализуется за один такт. Особое внимание при разработке семейства C28x было уделено эффективности компилятора языка Си. Архитектура C28x поддерживает библиотеку «Q-math», предназначенную для реализации вычислений с плавающей точкой на процессоре с фиксированной точкой. Процессоры C28x ориентированы в перспективе на производительность 400 MIPS. Современные модели характеризуются пиковой производительностью до 150 MIPS.

Последними разработками в семействе являются модели F2801, F2806, F2808 сигнальных контроллеров со встроенной Flash-памятью. Архитектура контроллеров представлена на *рис. 2*. Сравнительные характеристики процессоров приведены в *табл. 1*.

Кроме того, компания TI анонсирует выпуск процессоров C2810, C2811, C2812 и F2811 с производительностью до 150 MIPS.

Семейство TMS320DM64x – сигнальные процессоры для мультимедиа-приложений

Цифровые сигнальные медиа-процессоры TMS320DM640, DM641 и DM642 ориентированы на обработку потока видеоданных и изображений. Они строятся на базе вычислительного ядра C64x с расширенным набором команд и снабжены рядом специализированных устройств периферии.

Наличие встроенных видеопортов позволяет напрямую работать с широким рядом видеоформатов, подключаясь к видеокодерам/декодерам без дополнительных элементов. Поддерживаются многочисленные разрешения и стандарты, включая CCIR601, ITU-VT.656, VT.1120, SMPTE 125M, 260M, 274M, 296M и другие. Процессор DM642 имеет 3 видеопорта,

каждый из которых конфигурируется как один 20-/16-разрядный или как два 10-/8-разрядных видеоканала ввода-вывода. Процессор DM641 имеет два 8-разрядных видеопорта, а процессор DM640 – один 8-разрядный порт. Видеопорты могут использоваться для видеозахвата или вывода для отображения. Порты поддерживают преобразование форматов и горизонтальное масштабирование.

Многоканальный последовательный аудиопорт (McASP) представляет собой обычный последовательный порт, оптимизированный для работы в многоканальных аудиоприложениях. Порт McASP процессора DM642 предоставляет 16 моно- или 8 стереоаудиоканалов, конфигурируемых на ввод или вывод. Тактирование входного и выходного каналов является независимым. Поддерживается широкий ряд промышленных стандартов последовательного интерфейса.

Для разработки приложений, работающих с IP-протоколом, медиа-процессоры снабжены встроенным портом интерфейса Ethernet.

Внутренняя частота процессоров лежит в диапазоне 400-600 МГц, при стоимости от \$19.95 до \$49. (процессоры DM640 – DM642). Высокая мощность архитектуры позволяет одному процессору одновре-

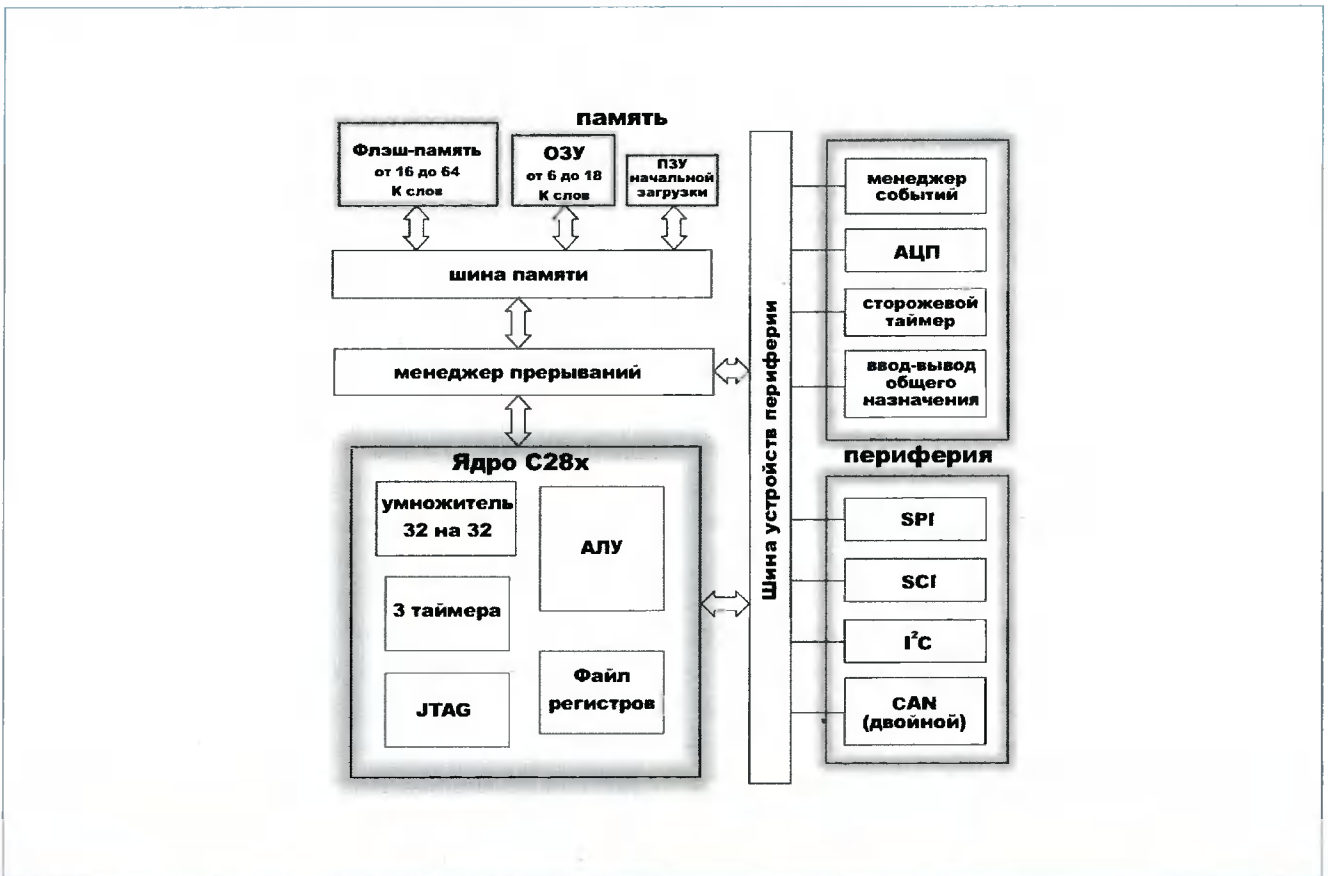


Рис. 2. Архитектура сигнальных контроллеров TMS320F2801, F2806 и F2808

менно декодировать данные от четырех видеоканалов формата MPEG2, MP@ML, D1 с разрешением 720x480 при 30 кадрах в секунду.

Процессоры DM64x рассчитаны на применение в IP-видеопроектирователях, компьютерных телевизионных приставках, охранных системах наблюдения, сетевых видеокамерах, цифровых видеомагнитофонах, других видеоприложениях, требующих от вычислительных элементов высокой производительности. Разработчикам подобных устройств использование новых процессоров дает следующие преимущества:

- разработка на базе мощной современной платформы C64x;
- наличие встроенных видеопортов;
- доступность широкого ряда готового программного обеспечения, оптимизированного под архитектуру процессора;
- интеграция на кристалле ключевой аудио- и видеопериферии, рассчитанной на системы высокого качества;
- предоставление разработчику программного обеспечения, библиотек функций, примеров проектирования и других средств поддержки от компании Texas Instruments и ее партнеров.

В настоящее время компания TI для начала работы с медиа-процессорами предлагает набор разработчика DMDK и оценочную плату EVM с процессором TMS320DM642. В состав этих инструментов входят:

- сигнальный процессор TMS320DM642 с рабочей частотой 600 МГц;
- 4 Мбайта памяти Flash;

- 32 Мбайта SDRAM с частотой 133 МГц;
- 256 Кбит I2C EEPROM;
- три разъема RCA для композитного видеоввода (NTSC, PAL);
- один разъем S-video для компонентного видеоввода (NTSC, PAL);
- три разъема RCA для композитного видеоввода или вывода RGB-сигнала или сигнала HDTV;
- разъем S-video вывода на RGB-монитор;
- 15-pin, VGA-разъем для вывода на RGB-монитор;
- ПЛИС поддержки вывода на экран дополнительной информации;
- двухканальный линейных вход (стерео) с частотой дискретизации от 8 КГц до 96 КГц;
- микрофонный вход (моно);
- блок питания +5 В для обеспечения автономной работы (возможна также установка в PCI-разъем хоста);
- разъем RJ-46 для сетевого подключения (10 Base-T или 100 Base-TX);
- двойной интерфейс UART;
- интерфейс дочерней карты для расширения видеопорта и памяти;
- разъем JTAG;
- 60-контактный разъем эмулятора следующего поколения;
- набор переключателей на плате для выбора режима начальной загрузки программ;
- регуляторы питающих напряжений.

В состав DMDK, кроме того, входят:

- видеокамера NTSC или PAL;
- видеокабели;
- эмулятор на шину PCI XDS560™.

Таблица 1. Характеристики сигнальных контроллеров

| F2801 | F2806 | F2808 |
|--|-----------------|---|
| 100 MIPS | 100 MIPS | 100 MIPS |
| 16 К слов Flash | 32 К слов Flash | 64 К слов Flash (2 банка по 32 К слов) |
| 6 К слов ОЗУ | 10 К слов ОЗУ | 18 К слов ОЗУ |
| ПЗУ начальной загрузки | | |
| модуль защиты кода | | |
| Корпус LQFP 100 выводов или µBGA также 100 выводов | | |
| SPI – 2 канала | SPI – 4 канала | SPI – 4 канала |
| SCI – 1 порт | SCI – 2 порта | SCI – 2 порта |
| интерфейс I2C | | |
| CAN | CAN | двойной CAN |
| 12-разрядный АЦП на 16 каналов | | |
| Менее \$5.00 | менее \$7.50 | менее \$10.00 |

К программному обеспечению относятся:

- среда Code Composer Studio, включающая программное обеспечение поддержки кристалла DM642 и версию DSP/BIOS, расширенную на новую периферию (видеопорты и прочее);
- набор драйверов для интерфейса со специфическими периферийными устройствами процессора DM642;
- eXpressDSPTM Reference Framework 5;
- демонстрационные программы, включающие обработку стандартов H.263, MPEG2, JPEG с работой через TCP/IP.

Стоимость модуля DM642EVM – \$1995, а набора разработчика мультимедиа-систем – \$6495.

FADT – инструментальное средство разработки устройств распознавания отпечатков пальцев

Инструмент FADT, разработанный компанией TI, позволяет ускорить и упростить процесс проектирования систем, требующих идентификации по отпечаткам пальцев. К таким системам относятся: различные сейфы; контроль физического доступа; учет посещаемости/рабочего времени; контроль доступа в электронные сети/архивы; торговые автоматы; системы безопасности; мобильные телефоны и персональные секретари и многое другое. Инструмент FADT используется совместно со стартовыми наборами разработчика (DSK) или с оценочными платами (EVM), к которым он подключается через стандартный порт расширения. В состав FADT входит аппарат-

ный модуль – дочерняя карта с расположенным на ней сенсором для снятия отпечатков пальцев – и компакт-диск с сопутствующим программным обеспечением. Программное обеспечение включает набор драйверов (их исходный код является доступным) сенсорной периферии, позволяющих получить и передать на модуль сигнальной обработки изображения отпечатков пальцев. На диске находится ознакомительная версия алгоритма распознавания. Эта программа позволяет разработчику провести начальную оценку функциональности разрабатываемого устройства, чтобы впоследствии создать собственный алгоритм идентификации или приобрести имеющееся на рынке программное обеспечение.

Компания TI намерена выпустить серию подобных инструментов. В настоящий момент разработчикам предлагается устройство TMDSFDCFC10. Оно совместимо с DSK процессоров TMS320C5510, C67111 и C6713, а также с EVM процессора TMS320C5509. Стоимость инструмента – \$245.

Примечание. По вопросам фактической стоимости на российском рынке и условий поставки комплектующих изделий и программных средств, а также за дополнительной информацией по изделиям обращайтесь к представителям в России компании Analog Devices: АО «AUTEX Ltd.» (<http://www.autex.ru>), ЗАО «АРГУССОФТ Компани» (<http://www.argussoft.ru>) и компании Texas Instruments: ЗАО «SCAN» (<http://www.texas.ru>), ЗАО «СКАНТИ-Рус» (<http://www.scanti.ru>).

**Обзор подготовлен Витязевым С.В.
по материалам Интернет**

ИТОГИ ВЫСТАВКИ «РАДЭЛ-2003»

С 18 по 21 ноября 2003 года в Санкт-Петербурге в Петербургском СКК с успехом прошла 3-я промышленная специализированная выставка «Радиоэлектроника и приборостроение» (РАДЭЛ-ЭКСПО). Организаторы выставки – выставочное объединение «Ортикон-Фарэкспо» и НТФ «ТехноКом» – при поддержке Российского агентства по системам управления (РАСУ), Ассоциации Российских дистрибьюторов электронных компонентов (АРДЭК).

В 2003 году в выставке приняли участие 110 компаний. Среди них такие известные фирмы, как «ИТС Электроникс», «Симметрон – электронные компоненты», «Элтех», «Платан», «Универсал Прибор», «Диол Электролюкс», «Экит», «Петербургская электронная компания» (ПЭК), «ПетроИнтертрейд», «Диполь», «Компэл», «Золотой шар», «Макро-Петербург» и другие. Все три года существования выставки в «Радиоэлектронике и приборостроении» неизменно участвовали фирмы «Универсал Прибор», «Микро Эм», «ЭКИТ», «Платан», «Диполь», «ТЛТ», «КрисМакро», «Радар-1», «Мегарон», «АРК Энергосервис», «Кий Электроника», «ЭлектроМир», «Совтест АТЕ», «Электрон-Комплекс».

Общая площадь выставки составила 1010 метров.

В РАДЭЛ-ЭКСПО приняли участие компании из Санкт-Петербурга, Ленинградской области, Москвы, Московской области, Уфы, Нижнего Новгорода, Великого Новгорода, Омска, Рязани, Новосибирска, Курска, Башкортостана, Чебоксар, Йошкар-Олы, Воронежа, Киева, Запорожья, Харькова, Минска, Витебска, Вильнюса.

В рамках деловой программы выставки были проведены 38 часов семинаров фирм: «Платан», «Универсал Прибор», «Симметрон», «Микро Эм», «Асте!», «ЭлектроМир», «Петербургская электронная компания», «Элтех», «Серовотехника», «Диполь», «Совтест АТЕ», «МЭЙ» («Аванти»).

Выставка широко освещалась в СМИ.

Выставку посетило 11000 человек. Исследования показали, что 89% посетителей составили руководители – специалисты практически всех направлений радиоэлектронной промышленности и приборостроения из различных регионов России, СНГ, стран Балтии и дальнего зарубежья.

Экспоненты «Радиоэлектроники и приборостроения», принимавшие участие в мюнхенской выставке





функциональное предприятие, одним из направлений деятельности которого была организация выставок. В 1992 г., впервые после 1913 года, в Петербурге прошел первый автосалон. Организатором этой выставки (сегодня она называется «Мир автомобиля») выступила компания

«Productronica» (обычно она проходит несколькими неделями раньше выставки в Петербурге) традиционно отмечают, что посещаемость выставок в СКК ничуть не уступает мюнхенским. Более того, по мнению большинства посетителей и участников, «Радиоэлектроника и приборостроение», благодаря стараниям организаторов, получилась гораздо более представительной и интересной и стала очередным событием в развитии радиоэлектроники.

«Ортикон-ФАРЭкспо» – одно из крупнейших выставочных объединений Северо-Западного региона. Компания была основана в 1991 году как много-

«Ортикон». В 1993 году компания взялась за организацию сезонных модных выставок.

Сегодня компания «Ортикон-ФАРЭкспо» является организатором более чем 20 ежегодных выставок различной направленности: «Мир автомобиля», «Весенняя/Осенняя неделя моды», «SoundShow», «Sport-Sпорт», «Мебелера», «РОС-ГАЗ-ЭКСПО», и т.д. За 12 лет существования выставки компании посетили почти 4 миллиона человек!

Сегодня объединение «Ортикон-ФАРЭкспо» прочно занимает свое место в тройке лидеров выставочного рынка Северо-Запада России.



«Светить или не светить – вот в чем вопрос!» или о преимуществах участия в тематических зонах на выставке

Конкуренция или соперничество. В английском языке, в отличие от языков романской группы, эти слова – синонимы. «Competition» – это одновременно и конкуренция, и соревнование, и соперничество. В то же время, в русском языке часто употребляется такое слово, как «компетентность». Создавая проект «Тематические зоны», мы хотели, чтобы там концентрировались сильные компании российской электроники, которые, в силу своей исключительной компетентности, могут позитивно относиться к соседству с конкурентами. Однако многие экспоненты оказались не готовы к участию в таком инновационном выставочном проекте. Поэтому мы решили поразмышлять на тему конкурентоспособности...

«...Не обращай внимания на конкуренцию.

Пусть работает тот, кто лучше справляется с делом...»

Генри Форд (Напутствие коллегам-бизнесменам)

Трудно сказать о конкуренции лучше великого предпринимателя Генри Форда.

Латинское «сопциго», лежащее в основе этого понятия, можно перевести как «сбегаюсь», «сталкиваюсь». Где происходит это столкновение? Вокруг клиента, потребителя, покупателя, который делает выбор и покупает что-либо там, где ему по каким-то причинам сделать это более комфортно.

Конкуренция существует с незапамятных времен. Она является одним из необходимых условий эволюции и выживания, от древнего племени до современной корпорации.

Государственная политика большинства стран с развитой экономикой направлена на то, чтобы стимулировать конкуренцию и даже ограничить возможности создания монополий или олигополий. Конкурентная борьба в бизнесе необходима потребителям: возникает рост разнообразия товаров и услуг, снижение цен, повышение качества продукции и т.п. Кроме того, интенсивная конкуренция стимулирует внедрение инноваций, проникновение на новые рынки и т.д.,

то есть способствует общему развитию отрасли. Конкуренция – это возможность развиваться и преумножать доход компании. Бояться конкурентов, которые находятся рядом – это значит признать себя недостаточно компетентным участником рынка, следовательно, неконкурентоспособным.

Как Вы относитесь к конкуренции?

1. Конструктивный подход западных бизнесменов.

Обычно западные бизнесмены отвечают на это вопрос так:

«...Вообще-то это хорошо. Это не дает расслабляться и заставляет двигаться вперед».

2. Разнообразные подходы российских бизнесменов

1) «... А что конкуренты? Их надо душить, душить и душить...».

2) «... Их надо игнорировать!»

3) «Их надо любить...Мы очень любим наших конкурентов. Мы так нежно обвиваемся вокруг них, а потом – слегка сжимаем, и все...».

4) «... Конкуренты? Мы их хорошо знаем. С кем-то дружим, когда это нам интересно, с кем-то боремся. Отлично!...»

3. Универсальный позитивный подход.

«...Конкурентов надо изучать!»

По мнению исследователей, степень приближения к первой или последней позиции обычно соответствует продолжительности работы компании на рынке. Чем опытнее руководитель и профессиональнее работает фирма, тем быстрее последняя позиция становится ключевой в политике фирмы по отношению к конкурентной борьбе.

Определение позиции компании на рынке

Эффективная конкурентная борьба, прежде всего, предполагает необходимость определения своей по-



зиции на рынке. От правильности этого определения во многом будет зависеть тактика и стратегия конкурентного поведения.

Специалисты различают четыре возможные позиции в конкурентной борьбе:

1. Компания считается лидером, если она освоила около 40% рынка в какой-либо из сфер своей деятельности;
2. Компания будет считаться претендентом на лидерство, имея 30% рынка;
3. Компании, которые имеют до 20%, считаются «последователями» (ведомыми);
4. Компании, которые имеют до 10% рынка, считаются «окопавшимися» в своих рыночных нишах.

При этом множество фирм достаточно уютно чувствуют себя в своих маленьких нишах. Многие сознательно выбирают позицию «ведомых». Это позволяет экономить на затратах, спокойно дожидаясь при этом, не допустит ли серьезных промахов кто-либо из лидирующей группы.

Конкурентная борьба, как правило, ведется внутри групп или на границах между ними.

Конкурентное поведение на рынке

Определив свою позицию на рынке, руководитель компании должен выработать политику по отношению к конкурентам. По мнению специалистов в области социальной психологии бизнеса, фирмы, не являющиеся лидерами в своей нише рынка, должны осознанно занять одну из двух возможных позиций:

- 1) либо атаковать лидеров или других конкурентов, открыто бросив им вызов,
- 2) либо спокойно принять роль «последователей».

Если выбор – атака...

В этом случае нужно четко определить цель. Стратегическая цель большинства атак в бизнесе – это занятие определенных рыночных ниш.

Возможны различные способы атак, но стоит обратить внимание на наиболее эффективные из них.

Атака по принципу «захват неучтенного конкурентом сегмента рынка».

Она имеет смысл, если лидер рынка в действительности не обслуживает свою нишу «на все 100%». В этом случае необходимо изучить потребности клиентов и выявить их желания (сегмент рынка). Как правило, лучшая цель для атаки конкурента – это выявление и удовлетворение желания клиента. Так вырвалась вперед компания «Миллер», обнаружив-

шая, что многие клиенты хотят «еще более светлого пива».

Атака по принципу «весь рынок»

Для реализации этого принципа специалисты рекомендуют альтернативную стратегию – инновации, позволяющие захватить весь сектор рынка. Так «Ксерокс» победил «3М», впервые разработав технологии «сухого» копирования.

Если выбор – «Повышение конкурентоспособности как один из принципов политики развития компании»

В этом случае специалисты рекомендуют двигаться в следующих направлениях:

1) Знание клиента.

Рекомендуется организовать систематический сбор информации как о своем конечном потребителе, так и о торговых посредниках, а также регулярно проводить маркетинговые исследования рыночной ситуации.

Например, многие компании имеют телефонные номера 800-серии, по которым клиенты и потребители могут бесплатно позвонить, чтобы высказать свои претензии и предложения.

2) Долгосрочные программы действий.

При обнаружении любой новой возможности разрабатываются программы создания и продвижения новых продуктов на рынок, внедрения в новые рыночные ниши и т.п.

3) Инновации в изготовлении продуктов.

Менеджеры компании должны быть самые грамотные, самые осведомленные, самые и еще раз самые... в области новинок рынка.

4) Варьирование продукции.

Компания должна предлагать широкий выбор продукции, чтобы удовлетворить клиентские запросы, с одной стороны, и, с другой стороны – не оставить возможности конкурентам пробиться с этой стороны в незанятые рыночные ниши.

5) Активная реклама.

Необходимо выделять в рекламном бюджете средства для рекламы компании и продукции. Реклама должна выделять компанию и превращать в серый фон тот шум, который создают конкуренты.

6) Подготовленная команда «продавцов».

Компания должна стремиться собирать у себя лучших специалистов по организации продаж «со всего мира».

7) Эффективная работа с клиентами.

Необходимо консультировать менеджеров по работе с клиентами о возможностях наилучших действий для достижения поставленных целей. Многие извест-

ные компании регулярно проводят специальные тренинги.

Таким образом, реальный успех в конкурентной борьбе возникает не из прямолинейного стремления «придушить» конкурента или спрятаться от него на выставочной территории.

Конкурентоспособность фирмы зависит от ее профессионализма, от стремления постоянно совершенствоваться и развиваться, от умения комбинировать множество компонентов, необходимых для успешной и разносторонней работы с клиентом, от тщательного изучения рынка и грамотной организации собственного производства и системы сбыта.

Конкуренция и партнерство: одна сторона медали

Сегодня создаются самые разнообразные «профессиональные» объединения деловых людей – от Московской гильдии строителей до Ассоциации Российских Дистрибьюторов Электронных Компонентов. Понимание неизбежной связи конкуренции и партнерства постепенно проникает в среду российского бизнеса.

Одна из причин, по которой они неразрывно связаны – это ситуации, когда партнерство между конкурентами выгодно обеим сторонам. При этом одно не исключает другого: быть партнерами – это не значит перестать конкурировать, быть конкурентами – не значит отказываться от партнерства. Например, одна фирма получает срочный заказ на товар, которого у нее в данный момент нет. Производитель находится далеко, и чтобы связаться с ним, потребуется время. Однако этот товар есть на складе у конкурентов.

Следовательно, выгоднее купить этот товар у конкурента, чем обращаться непосредственно к производителем.

Конкуренция и партнерство: «техника конкурентного анализа»

Конкуренция и партнерство, как правило, пересекаются, когда есть возможность научиться чему-то у своего конкурента. Уже много лет существует так называемая техника «конкурентного анализа», которая часто позволяет получить достаточно ощутимый эффект в освоении рынка. Самый простой метод, по мнению специалистов, – это составление «конкурентской таблицы».

Составляя такую таблицу, можно, во-первых, сконцентрировать обширную информацию о конкурентах. Во-вторых, понять, чему нужно учиться у конкурентов, и составить список задач, которые не считались раньше такими важными или для их выполнения в компании не было ответственных исполнителей.

Поскольку списки конкурентов часто содержат несколько десятков названий, ценной информации можно получить много.

Исследователи отмечают, что основные секреты успеха конкурента скрываются не в сейфах компаний, а в способах ее работы с клиентами. В этом смысле «Тематические зоны» на выставке, где конкурирующие фирмы находятся рядом, позволяют как нельзя лучше разглядеть сильные стороны друг друга.

Конкуренция и партнерство: страх потерять рынок

Это серьезная причина, которая заставляет конкурентов прибегать к партнерству.

В качестве примера можно привести историю, рассказанную в книге «Психология бизнеса» (авторы – Емельянов Е.Н. и Поварницына С.Е.). В США каждый год проходит региональная конференция рекрутер-

Тематическая зона «Цифровая обработка сигналов»

| № | Конкурент | Преимущества | Что делать? |
|---|--------------|---------------------------------------|---|
| 1 | «Компания А» | Широкая дистрибьюторская сеть | Обучение и подготовка своих менеджеров |
| 2 | «Компания Б» | Хорошие связи на международном уровне | Организация отдела по работе с иностранными партнерами: - рассылка корпоративных материалов; - проведение переговоров; - подготовка предложений о сотрудничестве |
| 3 | «Компания С» | Профессионализм инженеров | - стажировка и обучение сотрудников в ведущих учебных центрах; - работа с ВУЗ(ами) и отбор специалистов |
| 4 | «Компания Д» | Сильная рекламная компания | - разработка концепции рекламной компании - Проведение презентационных мероприятий и презентаций. - Назначить ответственного за эту работу |

ских агентств, в которой принимают участие практически все конкурирующие друг с другом компании. Плотность конкуренции между ними можно представить из следующих цифр. Для данного региона нормальным является присутствие в городах с 40-50 тысячами населения от 3 до 6 рекрутерских агентств. Но для того чтобы агентство могло эффективно работать, оно должно иметь в своей базе данных не менее 200-300 тысяч анкет потенциальных работников. Иначе говоря, работоспособное население всего этого города, 5-6 соседних и всех прилегающих к ним районов должно быть полностью размещено в базах данных каждого из агентств. Аналогично остро происходит и борьба за заказы. Тем не менее, содержанием этой конференции был обмен опытом по поводу того, как агентствам удастся успешно развиваться в этой ситуации. Перед своими сильнейшими конкурентами выступали люди, чьи показатели развития были наиболее впечатляющими, они демонстрировали новые технологии в своей работе и отвечали на все задаваемые им вопросы. Зачем все это делалось? Участники отвечали на этот вопрос так: «Конечно, конкуренция нам неприятна. Однако гораздо опаснее потерять весь рынок из-за недостаточно высокого качества работы. Стоит кому-то из нас плохо поработать со своим клиентом, как это тут же отзовется на всех нас. Очень быстро может зародиться мнение, что «свои» региональные рекрутеры не умеют работать, и наши клиенты будут обращаться в более именитые агентства или пойдут к «охотникам за головами». Технологии работы все равно долго не утаишь, а репутацию у клиента можно потерять очень быстро».

То же самое можно сказать и о тематических зонах на выставке. В этом случае экспоненты освобождены от необходимости «выступлений» друг перед другом. Просто их стенды находятся по соседству. При этом каждый из них занят своим делом и уже через 30 минут после открытия выставки настолько поглощен решением тех или иных вопросов, что просто не остается возможности отслеживать клиентов, которые приходят на другие стенды. Чтобы целенаправленно «отбивать» клиентов у других участников рынка, нужно сделать немалые вложения в разработку стратегии «отбивания», в отслеживание чужих клиентов, в получение закрытой информации о других компаниях и в подготовку сногшибательных предложений на основе этой информации. Вряд ли это возможно в течение трех дней работы выставки. И вряд ли кто-то будет тратить на это время.

Конкуренция и партнерство: «у меня есть знакомые, и у них тоже есть знакомые...»

Чем больше у компании деловых связей, тем выше ее конкурентоспособность. Позитивные деловые контакты должны поддерживаться и с конкурентами! В социальной психологии уже давно существует так называемый «принцип 7 контактов». Оказывается, для того чтобы вступить в контакт с незнакомым, но очень нужным человеком, кем бы он ни был и где бы он ни жил, достаточно семи последовательных контактов. Например, нам нужен производитель печатных плат из Тайваня. Для установления и налаживания бизнес-контакта с ним, нужно вспомнить знакомого, у которого есть знакомые в МИДе, тот вспомнит знакомого «специалиста по Тайваню», тот в свою очередь – приятеля в посольстве и так далее, вплоть до прямого выхода на нужного человека. Этот принцип широко применяется в США и странах Западной Европы. «У меня есть знакомые, у которых есть знакомые...» – скажет деловой человек и выйдет точно на того специалиста, который необходим для решения того или иного вопроса. При этом все эти практически незнакомые между собой люди действуют абсолютно бескорыстно и очень слаженно. Точнее, корысть здесь есть, и она также воспитана опытом долгой жизни в конкурентной среде. Сегодня одна фирма бескорыстно помогла кому-то, а завтра точно так же бескорыстно помогут ей.

Специалисты также подчеркивают, что эта же самая цепочка работает так же эффективно, если кто-то в бизнесе поступает нечестно. В результате информация о недобросовестном поведении человека очень быстро попадает туда, куда он менее всего хотел бы, чтобы она попала, например к деловым партнерам, которые начинают избегать контактов или к клиентам, которые перестают делать заказы. Следовательно, репутация компании на рынке – это мощный щит в конкурентной борьбе, и если уж клиенты убедились в репутации фирмы, то какой смысл ее менять? По крайней мере, в условиях выставочной суеты такие решения не принимаются.

Выводы:

- ✓ Проект «Тематические зоны» – это не ринг, а продуктивная работа на выставке.
- ✓ «Тематические зоны» – это возможность позитивной оценки своей компании на рынке.
- ✓ «Тематические зоны» – это прекрасная возможность расширения партнерских отношений и деловых контактов.
- ✓ «Тематические зоны» – это тест на конкурентоспособность компании.

Результаты интерактивного опроса, проведенного на сайте www.gaw.ru по просьбе компании ChipEXPO

Какие из тематических зон целесообразно создать на выставке по электронике
всего ответов: 210; количество ответивших: 64



- ✓ «Тематические зоны» – это стимул к серьезной вдумчивой подготовке и спланированной работе на выставке.
- ✓ «Тематические зоны» – это гарантия того, что посетители придут на стенды участников этих зон в полном профессиональном составе, и среди них окажется немало потенциальных клиентов для каждого экспонента.

Организаторы Второй Международной Выставки «Электроника. Компоненты. Оборудование. Технологии» надеются, что будущие участники, преодолевая

«конкурентофобию», смогут достойно выступить в своей «Тематической зоне» выставки, что их стенд украсит выставку и привлечет внимание посетителей, и, наконец, что окончанием работы на выставке станет заключение соглашений и объединение усилий.

Мария Флэтчер,
руководитель креативного отдела
компании «ЧипЭкспо».

«Цифровая обработка изображений в системе MATLAB» – учебные курсы

Консультационный Центр MATLAB компании SoftLine объявляет об организации нового учебного курса, ориентированного на специалистов различных областей, применяющих методы цифровой обработки изображений. Цель курса – получение слушателями практических навыков формирования и эффективной обработки изображений с помощью системы MATLAB и пакета Image Processing Toolbox 4; овладение комплексом операций, позволяющих достигать существенного улучшения визуального восприятия изображения или преобразовывать его в форму, удобную для визуального или машинного анализа. Курс рассчитан на 16 часов. Программа курса была рекомендована и базируется на программе аналогичного курса компании The MathWorks. В программе курса – анализ и обработка векторных и матричных данных в MATLAB, фильтрация и работа с областями, создание масок специальных фильтров, обработка блоков изображения, линейная фильтрация, работа с областями интереса, знакомство с практическими приемами и методами интерпретации и характеристики изображений, устранение размытости изображения. Особенность курса, отличающая его от курса The MathWorks – знакомство слушателей с одним из современных методов обработки изображений – нейронно-сетевой обработкой.

Получить дополнительную информацию Вы можете в Консультационном Центре MATLAB компании SoftLine:

e-mail: info@matlab.ru

сайт: www.softline.ru и www.matlab.ru

Многопороговые декодеры для систем связи с предельно малой энергетикой сигнала

В.В.Золотарев

Принцип повторного декодирования

Предложенные в 70-х годах прошлого века многими авторами методы повторного декодирования принятых сообщений оказались unsuccessful вследствие сильного группирования ошибок на выходе декодера. Пример такой схемы с пороговым деко-

Рассмотрены принципы функционирования и энергетические характеристики многопороговых декодеров (МПД) в области, близкой к пропускной способности канала. Представленные методы во многих случаях столь же эффективны, как и оптимальные переборные процедуры декодирования, оставаясь в то же время простейшими по сложности мажоритарными схемами. Проводится сопоставление МПД по числу операций с турбокодами.

при декодировании в ПД1 последовательность. Тогда, если ошибок в некоторой части информационной последовательности после ПД1 нет, то второй ПД2

не нужен. Но при поступлении из ПД1 в ПД2 типичного пакета оказывается, что ПД2, точно повторяющий схему ПД1, настроен на исправление случайных ошибок. И поэтому пакет на его входе тоже не может быть исправлен. Следовательно, ПД2 не нужен и в этом случае. Подчеркнем, что коды с малым группированием ошибок в ПД в те годы были совершенно неизвестны. Однако позже эта проблема была полностью решена

методами, описанными в [2,3]. В связи с этим приобретает важнейшее значение рассмотренный ниже новый подход к декодированию.

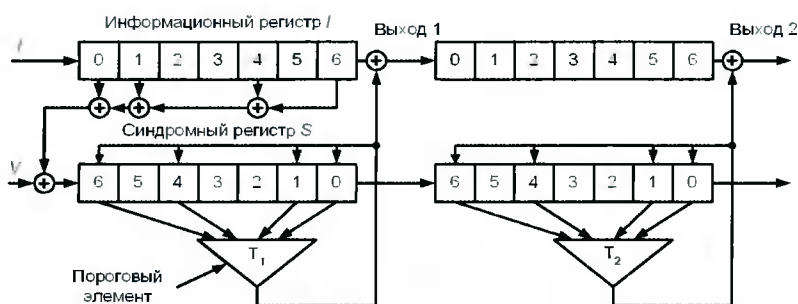


Рис. 1.

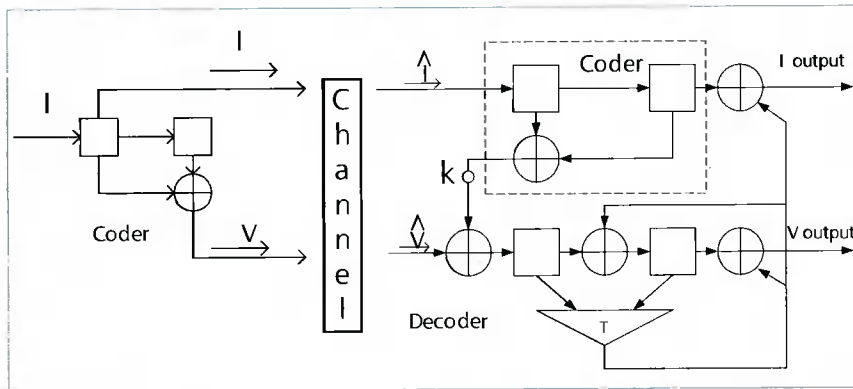
дером (ПД) [1] для сверточного кода приведен на рис. 1.

Малая эффективность такой схемы коррекции ошибок была следствием сильного размножения ошибок в пороговом декодере. В самом деле, если при некотором уровне шума в двоичном симметричном канале (ДСК) в какой-то момент ПД принял неправильное решение об очередном информационном символе, то обычно на выходе этого ПД далее появлялся очень плотный пакет ошибок. Пусть с выхода ПД1 на вход ПД2 поступила немного улучшенная

Принцип глобальной оптимизации функционала

Развитие техники декодирования помехоустойчивых кодов в течение многих десятилетий удивительным образом никак не было связано с методами решения задачи оптимизации функционала от многих дискретных переменных. Тем не менее, декодирова-

ние, т.е. поиск единственного кодового слова из экспоненциально большого числа возможных сообщений, совершенно естественно было бы рассматривать именно с таких позиций. Однако большинство разработывавшихся ранее алгоритмов декодирования никак не использовало для поиска наилучших решений декодера хорошо известные разнообразные мощные оптимизационные процедуры, которые вполне можно было бы применить к поиску кодовых слов, находящихся на минимально возможном расстоянии от принятого сообщения. Заметим, что широко применяемый в технике связи алгоритм Витерби (АВ), используемый для декодирования по максимуму правдоподобия коротких сверточных кодов, также не относится к классу оптимизационных процедур, поскольку он непосредственно ищет оптимальное решение на основе удобного в реализации переборного алгоритма.



Вместе с тем некоторые алгоритмы декодирования, в частности пороговые декодеры (ПД) [1], относящиеся к простейшим методам коррекции ошибок, почти обладают именно теми свойствами, которые необходимы для реализации полноценных эффективных и одновременно исключительно простых оптимизационных процедур декодирования. Для подтверждения этого рассмотрим пример простейшей системы кодирования/порогового декодирования с кодовой скоростью $R=1/2$ и минимальным кодовым расстоянием $d=3$, показанный на рис. 2 ниже.

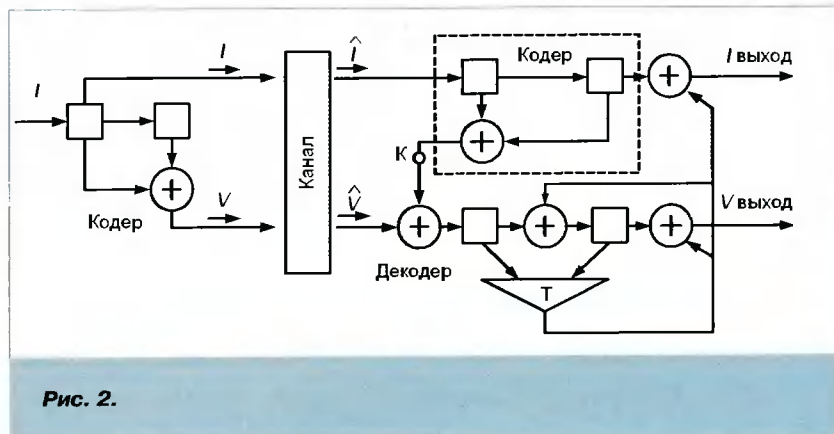


Рис. 2.

Как следует из вида кодера и простейшего декодера, исправляющего одну ошибку, в состав декодера входит точная копия кодера, которая формирует оценки проверочных символов кода из (возможно) принятых из канала с ошибками информационных символов кода. Эти символы появляются в точке k декодера и затем, после сложения на полусумматоре с принятыми из канала проверочными символами \hat{V} образуют символы вектора синдрома S , который зависит только от вектора ошибок канала. Эти символы и поступают потом на пороговый элемент декодера из синдромного регистра, как это показано на рисунке.

Уже сам вид ПД на представленной схеме позволяет найти простой способ организации правильной процедуры оптимизации, т.е. поиска наилучшего возможного решения декодера. Укажем для этого на факт, который никогда не отмечался ранее: в регистре синдрома декодера находится

разность по проверочным символам между принятым с искажениями из канала вектором A и таким кодовым словом \hat{A}_i , информационные символы которого совпадают с принятой из канала информационной частью вектора A .

Значит, полная разница между кодовым словом – текущей гипотезой-решением декодера A_i о переданном кодовом слове и принятым зашумленным вектором A будет в таком декодере, где в ПД будет добавлен ещё всего один вектор, который всегда должен соответствовать разности между A и \hat{A}_i – текущей гипотезой декодера по информационным символам. В таком декодере и будет содержаться текущее значение полной разности и, следовательно, полное расстояние между решением декодера и принятым вектором.

Принципы работы МПД

Именно такой подход к проблеме высокоэффективного декодирования и является основой для разработок с 1974 года специальных многопороговых декодеров (МПД) [2-5], почти совпадающих с ПД и таких же простых в реализации, как и их прототип. Решения МПД при каждом изменении ими декодируемых информационных символов строго приближаются к решению оптимального декодера (ОД), обеспе-

чивая реализацию этого процесса даже после нескольких десятков попыток коррекции кодового блока или потока символов сверточных кода. Разумеется, для обеспечения высокой эффективности МПД при больших шумах канала необходимо всегда выбирать только специально построенные для него коды с минимально возможным уровнем размножения ошибок декодирования [2,3].

Характеристики декодирования

Характеристики МПД как при самостоятельном использовании, так и в сложных кодовых конструкциях сопоставимы с возможностями АВ и различных каскадных схем. На следующем рис. 3 представлены в традиционной форме зависимости эффективности основных алгоритмов декодирования для скорости $R=1/2$ вблизи уровня вероятности ошибки на бит $P_b(e) \sim 10^{-5}$ как функции от требуемых значений отношений средней энергии на бит к плотности мощности шума E_b/N_0 .

Возможности декодеров, реализующих алгоритм Витерби (VA), представлены для различных длин ко-

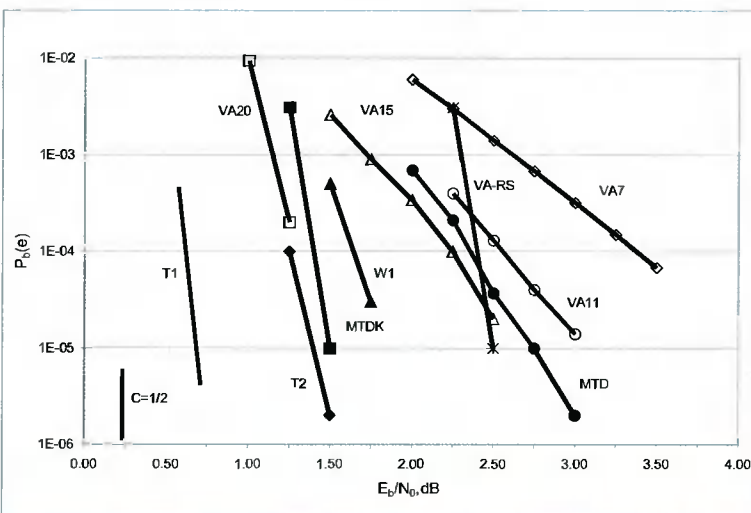


Рис. 3.

дирующего регистра $K=7, 11, 15$ и 20 соответствующими графиками VA_k . Как следует из их вида, экспоненциально растущая с увеличением длины K сложность декодирования для этих декодеров не влечет за собой быстрого роста энергетической эффективности. Например, VA с $K=20$ более чем в 2×10^4 раз сложнее, чем стандартный VA с $K=7$. Но его характеристики еще далеки от приведенной на рисунке вертикали при $E_b/N_0=0,2$ дБ, соответствующей пропускной способности двоичного гауссовского канала с когерентной ФМ, равной $C=1/2$.

Энергетика каскадной схемы для АВ с кодом Рида-Соломона дается графиком VA-RS. Лучшему турбокоду с $R=1/2$ и длиной кодового блока $n=130'000$ битов соответствует график T1 [6], каскадному «плетеному» коду при $n=2000$ битов – кривая W1 [7], а турбокоду длины 3570 из [8] – график T2.

Возможности простейшего МПД в гауссовском канале представлены графиком MTD для сверточного кода с задержкой решения $L \sim 8'000$ кодовых символов, а каскадный МПД с кодами контроля по четности (вместо кодов РС для других каскадных схем – один сумматор по mod2!!!): MTDK с $L \sim 10'000$. Свойства МПД допускают некоторое дополнительное уменьшение задержек по сравнению с указанными выше.

Преимущества алгоритма

Главным достоинством МПД является крайне низкая сложность декодирования, состоящая, как и в случае обычного ПД, в суммировании взвешенных проверок, сравнении с порогом и изменении декодируемого символа и проверок, если этот порог превышен. Число итераций декодирования I в этом случае не более 30, а общая сложность декодирования с помощью МПД оценивается для $d < 25$ как $N_1 \sim (d+2) \times (I+4)$. Если при тех же условиях возможно ухудшение характеристик МПД примерно на 0,1 дБ по энергетике, что обычно вполне допустимо, то вычисления МПД еще более упрощаются: $N_2 \sim 4 \times d + 3 \times I$.

Подчеркнем, что формально определяемая сложность как число операций у МПД примерно на 2 порядка (~ 100 раз!) меньше, чем у турбоподобных кодов с сопоставимой энергетической эффективностью. Существенно, что при таких оценках особенная сложность части операций, например логарифмирования, выполняемых при декодировании турбокодов, не учитывается. Поэтому реальная разница в сложности реализации МПД и турбоподобных кодов еще

более значительна.

Естественно, что усилиями большого числа специалистов, занимающихся этими кодами, многие из турбоподобных алгоритмов за 10 лет их интенсивного исследования были усовершенствованы и упрощены. Но при этом обычно несколько снижается и энергетическая эффективность новых версий декодеров для этих кодов. Текущая сложность декодеров этого класса для хороших энергетических параметров составляет почти десять тысяч (!!!) операций на декодируемый бит данных.

Подчеркнем, что существенная разница в эффективности МПД и других методов заключается в том, что этот метод при линейной от длины кода сложности декодирования обеспечивает при правильном проектировании практически оптимальное декодирование длинных кодов.

Особенности проектирования

При правильном проектировании МПД функция суммирования проверок легко может быть реализована аппаратно таким образом, что она будет полностью эквивалентной простому однократному сумматору. В этом случае окажется, что преимущество МПД по числу операций составляет относительно других методов уже более 3-х десятичных порядков. Поскольку МПД допускает столь же легкое распараллеливание операций, как и алгоритм Витерби, то даже применение простейших средств параллельного вычисления позволяет легко создавать и такие варианты МПД, которые на каждом такте работы устройства декодируют по несколько битов информационного потока как в блоковом, так и в сверточном вариантах своей реализации. Несомненно, что никакие другие алгоритмы декодирования никогда не приблизятся к этому уровню быстродействия.

Сравнение с АВ

При сопоставлении МПД с АВ также оказалось, что при задержках принятия решения, всего в 3-5 раз больших, чем требуется для АВ, МПД обеспечивает те же характеристики по энергетике для всех длин кодирующего регистра, не превышающих значения $K=14$. Более того, во многих случаях, например при допустимости каскадирования хотя бы с простейшими кодами контроля по четности, энергетические характеристики МПД могут быть еще существенно улучшены. Отметим при этом, что число операций в МПД останется очень небольшим, тогда как АВ – переборный (с экспоненциально растущей от длины кода сложностью!) алгоритм.

Оптимизация схемы МПД

Переходя к выводам по двоичным алгоритмам МПД, подчеркнем, что все чрезвычайно высокие параметры декодирования этими методами обеспечиваются применением предельно простой, но результативной и очень мощной процедуры оптимизации функционала на базе процедур мажоритарного декодирования, чем достигается практически оптимальное декодирование длинных кодовых конструкций, доступное ранее только для коротких кодов и алго-

ритма Витерби. При этом важной оказывается не только простая по своей сути модификация мажоритарного декодирования, но и обязательный выбор весьма специфических кодов из класса самоортогональных, которые обеспечивают высокие характеристики при использовании МПД благодаря очень малой их подверженности эффекту размножения ошибок декодирования. Кроме того, не менее существенным моментом для успешного развития методов МПД является также то обстоятельство, что при создании этих декодеров обязательным и очень эффективным этапом проектирования всегда является оптимизация всех параметров такого декодера: значений порогов, весов проверок, правил вычисления вспомогательных функций и надежности проверок. Число оптимизируемых параметров МПД может иногда достигать нескольких сотен. Поэтому при создании МПД последний этап может потребовать иногда до 99% процессорного времени специального автоматизированного комплекса средств создания этих высокоэффективных декодеров. Принципиально важно, что после завершения всех этапов работ фазы проектирования МПД по-прежнему остается простейшей схемой обработки принятых потоков данных с очень высоким быстродействием. Но подбор наиболее точно соответствующих конкретному кодеку индивидуальных значений его параметров позволяет получить весьма значительный дополнительный прирост энергетического выигрыша без излишних аппаратных и вычислительных затрат. Разумеется, два последних обстоятельства не могли быть учтены в те уже очень давние годы, когда были опубликованы некоторые совершенно справедливые результаты по низкой эффективности попыток простого повторного декодирования на основе мажоритарных схем (см., например, [9] и другие).

Заключение

Огромное преимущество МПД перед всеми другими схемам декодирования по числу операций, оценки которых были даны выше, давно опубликованные результаты по двоичным кодам [10, 11], многопозиционным системам модуляции [12], а также другие возможности этого мощного метода позволяют считать, что к настоящему времени все принципиальные задачи предпринятых теоретических и прикладных исследований успешно решены. Таким образом, после 30-летних исследований разработан широкий класс многопороговых алгоритмов, которые могут быть признаны основным методом кодирования для многих современных высокоскоростных систем связи с предельно возможными уровнями энергетиче-

ского выигрыша и очень высоким быстродействием.

Характеристики МПД в области высоких шумов канала при разумном выборе кодовых скоростей и вероятностей ошибки декодирования оказываются по энергетике канала всего примерно на 1 дБ меньше, чем это допускают теоретические границы. В дальнейшем эта разница может быть дополнительно уменьшена без чрезмерных вычислительных затрат. Но даже полученные к настоящему времени результаты позволяют утверждать, что основная проблема теории помехоустойчивого кодирования – эффективное простое декодирование вблизи пропускной способности канала – успешно решена на базе многопороговых алгоритмов и в дальнейшем будет представлять собой только технологическую задачу реализации на все более компактных, простых и быстродействующих программных и аппаратных средствах.

Литература

1. Месси Дж. Пороговое декодирование. М.: Мир, 1966.
2. Самойленко С.И., Давыдов А.А., Золотарев В.В., Третьякова Е.И. Вычислительные сети. М.: Наука, 1981. С. 277.
3. Золотарев В.В. Многопороговое декодирование. – Веб-сайт www.mtdbest.iki.rssi.ru.
4. Золотарев В.В., Овечкин Г.В. Эффективные алгоритмы помехоустойчивого кодирования для цифровых систем связи. Электросвязь, № 7, 2003. С. 34–37.
5. Золотарев В.В. Реальный энергетический выигрыш кодирования для спутниковых каналов. В кн.: 4-я международная конференция «Спутниковая связь – ICSC-2000», Т. 2. М.: МЦНТИ, 2000. С. 20–25
6. Berrou C., Glavieux A., Thitimajshima P. Near Shannon Limit Error-Correcting Coding and Decoding: Turbo-Codes. – Proceeding of ICC'93, Geneva, Switzerland. May 1993. PP. 1064–1070
7. Hust S., Johannesson R., Zyablov V. A first encounter with binary woven convolutional codes. – in Proc. International Symposium on Communication Theory and Applications. Lake District, UK, July 1997. PP. 13–18
8. Andrews K., Berner J., Chen V., Dolinar S., Pollara F., Stanton V. Turbo-decoder implementation for the deep space network. – IPN Progress Report 42–148, Feb. 15, 2002.
9. Townsend R.L., Weldon E.J. Self-Orthogonal Quasi-cyclic Codes. IEEE Trans., IT-13, 1967, pp.183–195.
10. Золотарев В.В. Алгоритмы кодирования символьных данных в вычислительных сетях. – В сб.: «Вопросы кибернетики», ВК-106, М., 1985.
11. Золотарев В.В. Недвоичные многопороговые декодеры. – «Цифровая обработка сигналов», № 3, 2003. С. 10–12.
12. Банкет В.Л., Золотарев В.В. Эффективность многопозиционных систем модуляции и многопорогового декодирования. – В сб.: «9 Всесоюзная школа-семинар по вычислительным сетям», Ч 3.2, М.: Пуццино, 1984.

ВТОРАЯ ВСЕРОССИЙСКАЯ НАУЧНАЯ КОНФЕРЕНЦИЯ

«Проектирование инженерных и научных приложений в среде MATLAB»

25-26 мая 2004 года (г. Москва, ИПУ РАН)

Организаторы:

- Институт проблем управления РАН
- Компания SoftLine (РФ)
- MathWorks Inc. (USA)

Направления работы конференции:

- обзорные лекции по наиболее популярным направлениям применения MATLAB;
- секционные доклады, посвященные опыту разработки MATLAB-приложений;
- выставка.

Для участия в конференции необходимо не позднее 10 мая 2004 года заполнить заявку на сайте <http://www.matlab.ru/conf2004/>.

Организационный взнос составляет 500 рублей. Предусмотрены скидки для аспирантов, подписчиков журнала «Exponenta Pro» и др.

Всех интересующихся программным обеспечением для инженерных расчетов и научных исследований приглашаем принять участие в работе конференции в качестве слушателей.

Контактная информация Оргкомитета:

сайт: <http://www.matlab.ru/conf2004/>
e-mail: conf2004@matlab.ru, info@matlab.ru
телефон/факс: (095) 232-00-23

УДК 621.396.96

Построение последовательно-параллельных вычислительных систем БПФ на ПЛИС.

А.К. Пяткин

Стремительный рост производительности современных программируемых логических интегральных схем (ПЛИС) в настоящее время происходит за счет уменьшения линейных размеров элементарных вентилей, которые сегодня выполняются на основе уже 90 нм технологии [5]. Это дает производителям ПЛИС возможность увеличивать количество конфигурационных логических блоков в кристалле и одновременно повышать тактовые частоты внешних интерфейсов и внутренних логических и арифметических элементов. Совершенствование технологий производства приводит также к значительному снижению стоимости кристаллов ПЛИС.

По-видимому, эта тенденция сохранится и в ближайшем будущем, стимулируя увеличение производительности вычислительных средств, осуществляющих цифровую обработку сигналов (ЦОС) в режиме реального времени, что приведет к дальнейшему укреплению и расширению позиций ЦОС в различных областях радиотехники, прежде всего в радиолокации и связи.

Неотъемлемой частью этого процесса будет увеличение доли ПЛИС как основы для решения задач ЦОС, требующих обработки высокоскоростных потоков сигнальной информации в режиме реального времени. Это можно объяснить тем, что, с одной стороны, значительное число алгоритмов ЦОС допускают распараллеливание при выполнении вычислительных операций, с другой стороны, рост производительности сигнальных процессоров (ПЦОС) – основных «конкурентов» ПЛИС – в основном возможен только за счет роста их тактовых частот. При этом возможности распараллеливания АЛУ сигнального

Проводится исследование перспектив использования ПЛИС для осуществления алгоритмов ЦОС при обработке высокоскоростных потоков сигнальной информации в режиме реального времени. Рассматривается обобщенная блок-схема последовательно-параллельного вычислителя БПФ на ПЛИС. Показана целесообразность использования алгоритмов БПФ по основаниям 4 и 8 при их реализации на ПЛИС. Предложен алгоритм синтеза вычислительного ядра БПФ с учетом его необходимой производительности.

процессора ограничены и не приводят к качественному увеличению его производительности.

Рост производительности ПЛИС происходит не только за счет роста тактовых частот, но и за счет увеличения емкости конфигурационной логической матрицы, что дает возможность увеличивать количество логических и арифметических элементов в кристалле ПЛИС, работающих параллельно. Подобная «квадратичная» зависимость по сравнению с «линейной» у ПЦОС в конечном итоге позволит ПЛИС серьезно потеснить ПЦОС на рынке элементной базы ЦОС реального времени.

По-видимому, в ближайшее время основной базой для решения рассматриваемых задач станут гибридные кристаллы, которые содержат конфигурационные логические матрицы, встроенные аппаратные умножители и программируемые аппаратные контроллеры на основе АЛУ с плавающей точкой, для осуществления алгоритмов управления схемой ЦОС или решения периферийных задач.

Повышение доступной производительности способствует не только повышению скорости обрабатываемых потоков сигнальной информации, но и увеличению многофункциональности устройств ЦОС. При этом использование ПЛИС дает возможность создания законченных аппаратных алгоритмических модулей, которые, как представляется, значительно легче объединять в сложную систему обработки, чем программные модули для ПЦОС и в особенности для системы состоящей из нескольких ПЦОС.



Не стоит также забывать и о возможности лучшей «адаптации» разрабатываемой аппаратной структуры ПЛИС к параметрам решаемой задачи по сравнению с системами на основе универсальных ЦОС. Реализуя алгоритмы ЦОС на ПЛИС, разработчик может оптимально распределять аппаратные ресурсы кристалла ПЛИС, в зависимости от необходимой точности и производительности устройства ЦОС. Это осуществляется как путем выбора близких к оптимальным разрядностям цифрового представления сигнала на каждом шаге вычислений, так и синтезом последовательно-параллельных вычислительных систем [2,3], которые дают компромисс между дорогами быстродействующими параллельными системами и дешевыми, но медленными последовательными системами обработки.

Таким образом, используя ПЛИС можно достичь практически точного соответствия между затрачиваемыми аппаратными ресурсами (аппаратной производительностью) и необходимой (алгоритмической) производительностью разрабатываемого узла ЦОС [3]. Оптимизация аппаратной структуры позволяет уменьшать габариты и потребляемую мощность устройства ЦОС путем выбора типа кристалла ПЛИС, адекватного решаемым задачам, что особенно актуально при использовании подобных устройств в составе переносимых и мобильных радиотехнических систем. Не последнюю роль играет и конечная стоимость устройств ЦОС, что заметно при крупносерийном производстве. В свою очередь предъявляются определенные требования к разработчику, заключающиеся в умении оптимизировать аппаратную реализацию с учетом параметров решаемой задачи.

В [3] приведен пример оптимизации архитектуры КИХ-фильтра на ПЛИС, производящего свертку во временной области. Представляется, что с учетом вышеизложенного определенным интересом должен представлять вопрос оптимизации вычислителя быстрого преобразования Фурье (БПФ) на ПЛИС. Алгоритм БПФ, как известно, широко используется как составная часть многих алгоритмов ЦОС, включая линейную фильтрацию в частотной области, спектральный анализ, некоторые вейвлет-преобразования.

Необходимо сформулировать общие критерии «оптимальной архитектуры» аппаратного блока ЦОС, реализованного на ПЛИС, которые, как представляется, выглядят следующим образом:

- ✓ минимизация числа вычислительных операций;
- ✓ алгоритм выполнения вычислительных операций;

- ✓ работа вычислительного ядра на тактовой частоте близкой к предельной частоте для используемого типа ПЛИС;
- ✓ использование разрядностей цифрового представления сигнала на каждом шаге вычислений, адекватных их реальному информационному содержанию (эффективной разрядности);
- ✓ использование разрядностей представления коэффициентов преобразования, которые адекватны требуемым характеристикам обработки (точности обработки).

Данные критерии захватывают вопросы от алгоритмического синтеза (первые критерии) до аппаратной реализации (последние критерии) и, в общем случае, взаимосвязаны. Поэтому могут возникать «взаимные противоречия», которые можно заметить, например, между первым и вторым критериями. При этом важно соблюсти принцип «золотой середины», положение которой определяется параметрами решаемой задачи.

Попытаемся показать, как можно реализовать вышеизложенные критерии на практике при создании вычислителя БПФ на ПЛИС.

Алгоритм БПФ сам по себе является способом минимизации числа вычислительных операций при ДПФ, хотя вопросы дальнейшего уменьшения числа операций путем исключения тривиальных операций [1] или использования алгоритмов с расщепленным основанием [4] рассматривались и ранее. Однако в настоящее время они требуют некоторого переосмысления в проекции использования ПЛИС, которые вносят свои особенности в решение данных вопросов. Например, операции сложения и умножения на ПЛИС, в отличие от процессорной реализации устройства ЦОС, совершенно не равноценны с точки зрения аппаратных затрат, а фиксированный логический сдвиг вообще не требует затрат и осуществляется путем соединения входных и выходных шин со сдвигом по номерам бит [2]. Также при использовании ПЛИС важно сохранить регулярность графа БПФ. Это условие ставит под сомнение целесообразность практической реализации алгоритмов БПФ с расщепленным основанием или с исключением нерегулярных тривиальных операций, что приводит к резкому усложнению реализации контроллера БПФ [3], при не столь значительном уменьшении числа умножений. Поэтому в дальнейшем будем рассматривать вычислители с регулярными графами, дающими реализацию первого и второго критериев.

Аппаратные затраты на реализацию сумматоров пропорциональны максимальной разрядности входных суммируемых сигналов. При этом затраты на реализацию умножителей пропорциональны произведению разрядностей множителей. Как показывает практика проектирования вычислителей БПФ, при высокой разрядности обрабатываемого сигнала (более 8-10 бит) затраты на реализацию сумматоров и логического устройства управления [3] не сопоставимы с затратами на реализацию умножителей.

В этом случае необходимо несколько видоизменить первый критерий с учетом оптимизации вычислителя БПФ (для сигналов с высокой разрядностью представления), который заключается в минимизации количества умножений в алгоритме вычислителя. Иными словами можно сказать, что из двух эквивалентных по времени вычисления и базе преобразования вычислителей БПФ на ПЛИС лучше тот, который содержит меньшее число умножителей, может быть и при большем числе сумматоров.

В настоящее время данное обстоятельство учитывается и производителями ПЛИС, понимающими специфику алгоритмов ЦОС, которые уже начали вводить в состав новейших типов кристаллов аппаратные умножители (*dedicated multipliers*), расположенные вне конфигурационной логической матрицы [5]. Это позволяет более эффективно использовать ресурсы конфигурационной логической матрицы, не затрачивая их на синтез умножителей, что существенно повышает общую производительность кристалла.

Тем не менее, вопрос об уменьшении количества умножителей при вычислении БПФ остается актуальным. Также важным является вопрос, касающийся минимизации количества физических банков внутри кристалльной памяти ПЛИС, задействованных для реализации вычислителя БПФ.

В [2] предложена методика оценки необходимой и достаточной разрядности промежуточных данных и коэффициентов преобразования, что представляет собой реализацию четвертого и пятого критериев.

Обеспечить работу вычислительного ядра БПФ на предельной тактовой частоте при регулярном выполнении вычислительных операций (второй и

третий критерии) возможно путем использования последовательно-параллельной системы вычислений с конвейерным выполнением последовательных операций [3]. Рассмотрим этот вопрос подробнее.

В [2] приведен пример построения вычислителя БПФ на основе вычислительного ядра – бабочки, которая производит вычисление ДПФ по основанию 2 с умножением на поворачивающий множитель [1]; причем все ее арифметические элементы работают параллельно. Таким образом, схема построения данного вычислителя является последовательно-параллельной с параллельным выполнением внутренних арифметических операций бабочки и последовательным выполнением алгоритмов «бабочка». При этом, не учитывая несущественное время конвейерной задержки внутри операции «бабочка», время вычисления БПФ с базой N производимое данным вычислителем:

$$T_2 = \frac{N \log_2(N)}{2f}, \quad (1)$$

где f – тактовая частота выполнения «бабочки».

Например, при $f = 120$ МГц и $N = 1024$, $T_2 \approx 43$ мкс.

Ускорение данного вычислителя БПФ возможно путем дальнейшего увеличения степени распараллеливания, но уже не внутренних арифметических элементов «бабочки», а увеличением количества параллельно вычисляемых «бабочек». Этот способ ускорения представляется наиболее простым и ведет к увеличению аппаратных затрат пропорционально уменьшению времени вычисления. При этом формула (1) модифицируется с учетом наличия m «бабочек», работающих параллельно:

$$T_{2,m} = \frac{N \log_2(N)}{2mf} \quad (2)$$

Альтернативный способ увеличения степени распараллеливания заключается в использовании вычислителей БПФ на основе «бабочек» с ДПФ основанием

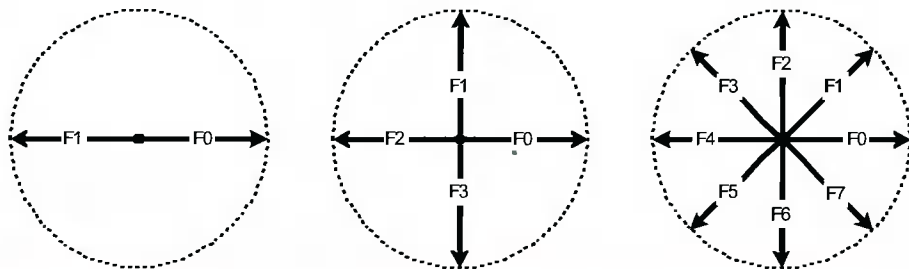


Рис. 1. Системы базисных векторов для ДПФ с базой 2, 4 и 8

большим чем 2 («бабочка-4», «бабочка-8»...), которые функционируют согласно известной формуле для ДПФ:

$$Y_i = \sum_{k=0}^{n-1} X_k F_{i,k}, i=0 \dots n-1, \quad (3)$$

где n – основание ДПФ, $n = 2^s, s=1,2,3\dots$

$F_{i,k}$ – массив базисных векторов ДПФ.

Системы базисных векторов для ДПФ с различными базами показаны на рис. 1.

Формулы (1) и (2) представляют собой частный случай обобщенной формулы, позволяющей оценить время вычисления БПФ с вычислительным ядром, построенным на основе m параллельно работающих «бабочек- n », с параллельным выполнением арифметических операций внутри каждой «бабочки»:

$$T_{n,m} = \frac{N \log_n(N)}{nmf} \quad (4)$$

Обобщенная блок-схема последовательно-параллельного вычислителя БПФ с регулярным графом, производящего вычисления за время, которое может быть оценено по формуле (4) приведена на рис. 2.

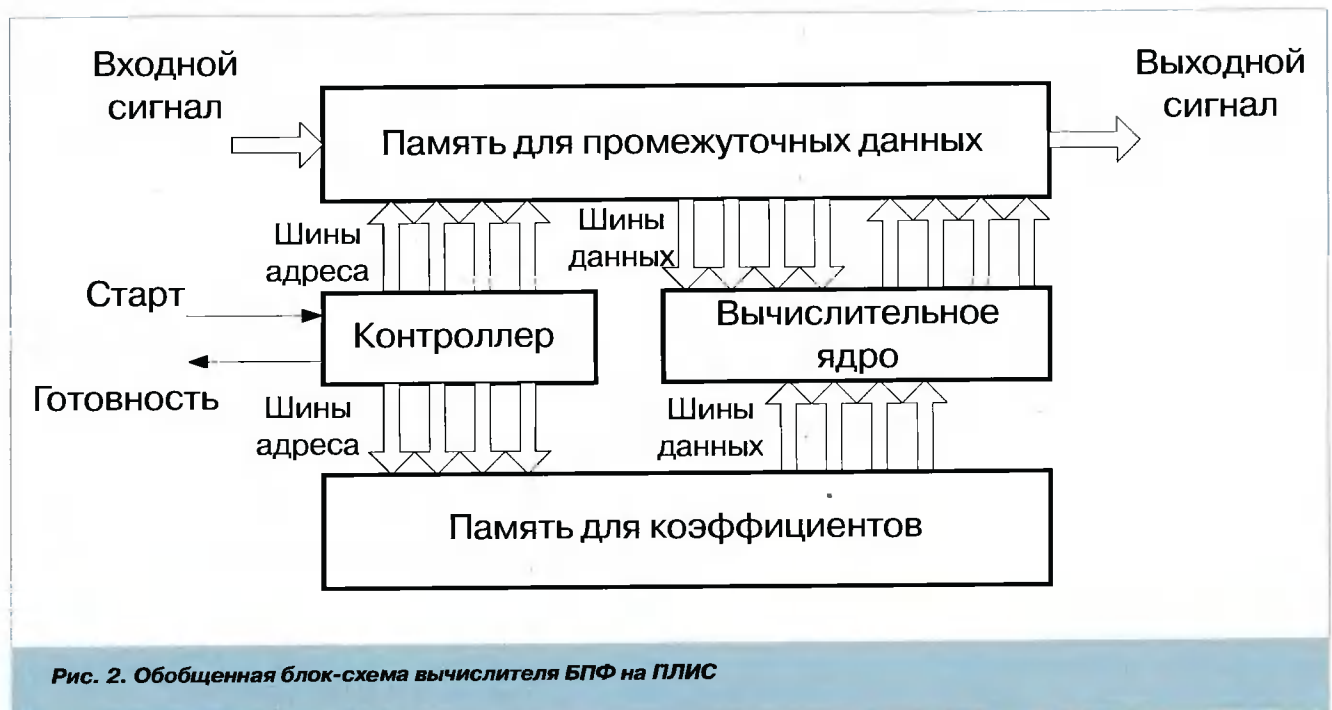
Требуется исследования вопрос целесообразности использования «бабочек» с основанием больше 2 при построении вычислительного ядра БПФ. Для этого рассмотрим принципы построения «бабочки-4» и «бабочки-8».

Согласно (4), вычислитель БПФ на основе «бабочки-4» производит вычисления в 4 раза быстрее, чем на основе «бабочки-2». Представляется целесооб-

разным строить «бабочку-4», используя, в свою очередь, граф БПФ с «бабочкой-2». Подобная «вложенная» система уменьшает количество сумматоров, количество и сложность внутренних проводных связей «бабочки», что положительно отражается на значении максимальной тактовой частоты ее работы, а также минимизирует конвейерную задержку, производимую «бабочкой-4». Одна из возможных схем ее реализации, для алгоритма БПФ с прореживанием по частоте, приведена на рис. 3. Схема состоит из 2-х функциональных узлов: вычислителя ДПФ по основанию 4 (ДПФ-4) и блока комплексных умножителей, производящих умножения на поворачивающие множители [1].

Как и в «бабочке-2» [2], умножения на коэффициенты ДПФ-4 ($1, j, -1, -j$) (рис. 1) являются тривиальными, т.е. осуществляются только путем соответствующего подключения вычитателей (рис. 3), без привлечения умножителей.

«Бабочка-4» содержит 3 комплексных умножителя на поворачивающие множители (при 4-х кратном убыстрении вычислений). Поэтому данное вычислительное ядро обладает преимуществом по сравнению с эквивалентным по скорости ядром, построенным на основе 4-х параллельных «бабочек-2» и содержащем 4 комплексных умножителя. Кроме того, ядро на основе «бабочек-2» может расходовать в 2 раза большее количество задействованных для вычислителя БПФ блоков внутрикристалльной памяти ПЛИС (в случае высокой разрядности промежуточных данных) из-за необходимости одновременного дос-



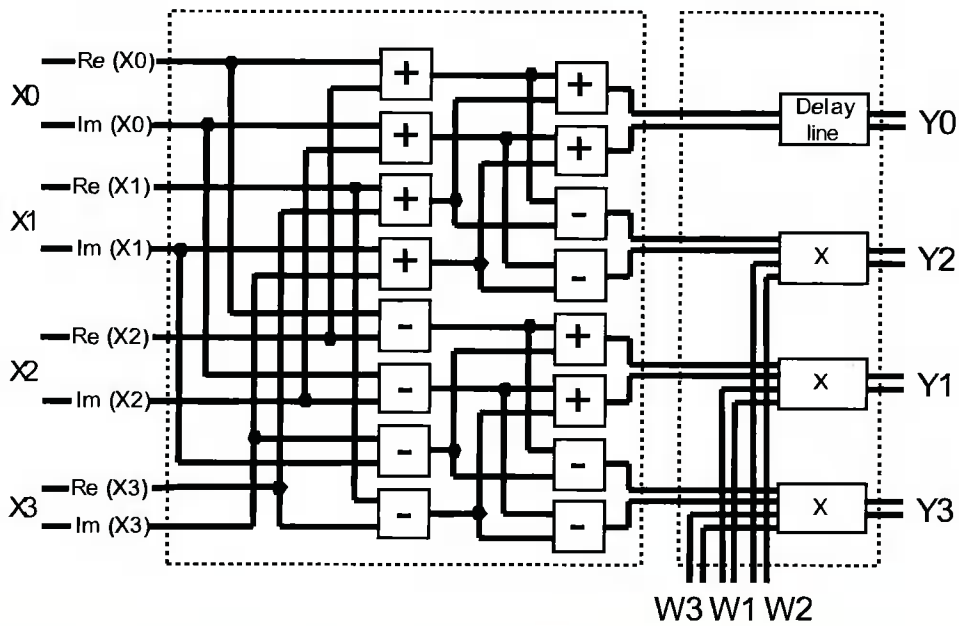


Рис. 3. Структурная схема аппаратной реализации «бабочки-4»

тупа к 8-ми (вместо 4-х, в случае «бабочки-4») отсчетам промежуточных данных.

Недостатком «бабочки-4» является наложение условия на базу БПФ, заключающееся в том, что она должна быть равна целой степени числа 4. Однако переход к такой базе, при необходимости, может осуществляться путем дополнения исходной последовательности нулями, но это не всегда может быть оправдано с системной точки зрения. Вместе с тем, если база БПФ равна целой степени числа 4, то реализация БПФ на основе «бабочки-4» представляется целесообразной. Это дает примерно 25% экономии

аппаратных ресурсов ПЛИС по сравнению с ядром БПФ на основе 4-х параллельно работающих «бабочек-2».

Ядро вычислителя БПФ, построенное на основе «бабочки-8», производит вычисления в 12 раз быстрее по сравнению с БПФ с «бабочкой-2». Однако на сегодняшний день подобный вычислитель может применяться только в относительно дорогих высокопроизводительных цифровых системах обработки сигналов в реальном времени. Данные системы могут быть построены на основе ПЛИС, которые имеют достаточную емкость конфигурационной матрицы и

большое количество блоков внутрикристалльной памяти. Например, для ПЛИС компании «Xilinx» это кристаллы типа Virtex-E и Virtex-II с индексами выше 1000. При этом, например если $f = 120$ МГц и $N = 512$, то $T_{B,1} = 1,6$ мкс, что в десятки раз быстрее времени вычисления БПФ на ПЦОС. При этом, чтобы добиться подобной производительности от многопроцессорной системы, необходимо использовать в ее составе десятки ПЦОС.

Блок-схема «бабочки-8» показана на рис. 4. Как и в случае «бабочки-4», представляется целесообразным использовать граф БПФ с «бабочкой-2» для вычисления ДПФ-8, который строится аналогично ДПФ-4 (рис. 3), с тем лишь отличием, что теперь в составе вычислителя

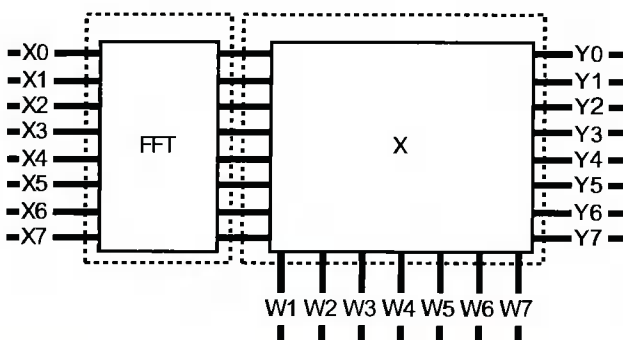


Рис. 4. Блок-схема аппаратной реализации «бабочки-8»

Таблица 1.

| N | 64 | | 128 | | 256 | | 512 | | 1024 | | 2048 | | 4096 | |
|----|----|-----------|-----|-----------|-----|-----------|-----|-----------|------|-----------|------|-----------|------|-----------|
| | K | m | n | m | n | m | n | m | n | m | n | m | n | |
| 2 | 2 | Бабочка-2 | 2 | Бабочка-2 | 2 | Бабочка-2 | 2 | Бабочка-2 | 2 | Бабочка-2 | 2 | Бабочка-2 | 2 | Бабочка-2 |
| 4 | 1 | Бабочка-4 | 4 | Бабочка-2 | 1 | Бабочка-4 | 4 | Бабочка-2 | 1 | Бабочка-4 | 4 | Бабочка-2 | 1 | Бабочка-4 |
| 8 | 2 | Бабочка-4 | 8 | Бабочка-2 | 2 | Бабочка-4 | 8 | Бабочка-2 | 2 | Бабочка-4 | 8 | Бабочка-2 | 2 | Бабочка-4 |
| 12 | 1 | Бабочка-8 | X | | X | | 1 | Бабочка-8 | X | | X | | 1 | Бабочка-8 |
| 16 | 4 | Бабочка-4 | 16 | Бабочка-2 | 4 | Бабочка-4 | 16 | Бабочка-2 | 4 | Бабочка-4 | 16 | Бабочка-2 | 4 | Бабочка-4 |

ДПФ появляются 2 комплексных множителя из-за наличия нетривиальных умножений на базисные векторы ДПФ-8 (рис. 1).

Учитывая необходимость выполнения 7-ми нетривиальных умножений на поворачивающие коэффициенты, общее число комплексных множителей в «бабочке-8» достигает 9-ти, что показывает, что «бабочка-8», как и «бабочка-4», имеет лучшее соотношение производительность/число множителей, чем «бабочка-2». При этом ценность подобного ядра подкрепляется также отсутствием альтернативного, эквивалентного по скорости ядра на основе «бабочек-2 или 4» при сохранении регулярности графа или регулярности вычислений.

Таким образом, если позволяет база преобразования, использование вычислительных ядер на основе «бабочек» с основанием 4 и 8 представляется более целесообразным, чем создание ядра на основе параллельных «бабочек-2».

На основе вышеизложенного может быть предложен алгоритм синтеза архитектуры вычислительного ядра для последовательно-параллельной вычислительной системы БПФ. Прежде всего необходимо оценить требуемое время вычисления T БПФ с базой N . На основе этих данных a , также учитывая значение тактовой частоты f применяемого типа ПЛИС, с помощью формулы (4) производится поиск значений n и m , дающих время $T_{n,m} > T$, которое наиболее близко к T , что однозначно определяет архитектуру вычислительного ядра.

Альтернативный алгоритм, являющийся развитием первого, основан на известном времени вычисления БПФ на основе единственной «бабочки-2» (1) – представляющий собой «элементарный вычислитель».

Далее, если необходимо «ускорение элементарного вычислителя», производится поиск «оптимального ядра» по табл. 1 с учетом базы N и необходимого «коэффициента ускорения» K .

В заключение следует отметить интересную особенность. Как показывает практика, если разрабатываемое устройство ЦОС содержит несколько алгоритмических блоков БПФ с одинаковыми базами в составе одного кристалла ПЛИС, например линейная фильтрация сигнала в частотной области, то построение одного «быстрого» вычислителя, производящего последовательные вычисления алгоритмических блоков БПФ, может оказаться выгоднее нескольких отдельных «медленных» вычислителей.

Литература

1. Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов. М.: Мир, 1978.
2. Пяткин А.К., Никитин М.В. Реализация на ПЛИС быстрого преобразования Фурье (БПФ) для алгоритмов ЦОС в многофункциональных РЛС, Цифровая обработка сигналов. № 3, 2003.
3. Пяткин А.К. Реализация цифрового формирователя полосы в многофункциональных РЛС. Цифровая обработка сигналов № 2, 2003.
4. Петровский А.А., Шкредов С.Л. Параллельно-поточные структуры реализации алгоритма БПФ по расщепленному основанию. 3-я международная конференция DSPA-2000.
5. <http://www.xilinx.com>

УДК 61:517:144

Вейвлет-преобразование для удаления шума, сжатия и анализа электрокардиограмм

Ю.В. Чесноков, В.И. Чижиков, С.А. Резинькова

Введение. Вейвлет-преобразование позволяет эффективнее анализировать различные сигналы одновременно в частотной и временной областях по сравнению с другими методами, применяемыми для этих целей. Кроме того, быстрое вейвлет-преобразование существенно превышает по скорости непрерывное и дискретное вейвлет-преобразования. При этом полученный вейвлет-спектр не превосходит по размеру исходный сигнал. Это преобразование уже используется для сжатия изображений и их очистки от шума. Подобным образом возможно сжатие записанных электрокардиограмм или иных сигналов, удаление из них шумов и проведение анализа в частотно-временной области.

При записи электрокардиограмм сигнал часто искажается различными шумами. К ним относятся высокочастотные шумы электрической сети и мышечный тремор, а также низкочастотное плавание изолинии, обусловленное дыханием. Записанные ЭКГ в зависимости от выбранной частоты дискретизации и длительности занимают достаточно много места на информационных носителях. Для обычной записи используются частоты дискретизации 128 и 250 Гц. При записи ЭКГ с высоким временным разрешением частота дискретизации начинается от 5 кГц и достигает до 20 кГц. Большие частоты дискретизации позволяют выявлять незначительные изменения в сигнале, незаметные при его визуальном анализе. Длитель-

Обсуждаются вопросы удаления шума из ЭКГ с помощью быстрого дискретного вейвлет-преобразования при сохранении гладкости и высокого качества восстановления сигнала. Дан анализ влияния выбора порога подавления шумов на коэффициент сжатия вейвлет-спектра. Показано, что коэффициент сжатия зависит от частоты дискретизации ЭКГ и быстро растет с ее увеличением.

ность записи электрокардиограмм колеблется от нескольких минут, часов и достигает до суточной регистрации. В последнем случае возникает потребность в эффективном сжатии и качественном восстановлении преобразованного сигнала. Быстрое дискретное вейвлет-преобразование способствует решению этих задач лучше других методов анализа сигналов.

Материалы и методы исследования. Для обработки ЭКГ авторами в среде Borland Builder C++ было разработано программное обеспечение. В этом пакете содержатся программы: визуального анализа и синтеза записанных сигналов различной длительности и частоты дискретизации, преобразования Фурье, непрерывного и дискретного вейвлет-преобразования, быстрого дискретного вейвлет-преобразо-

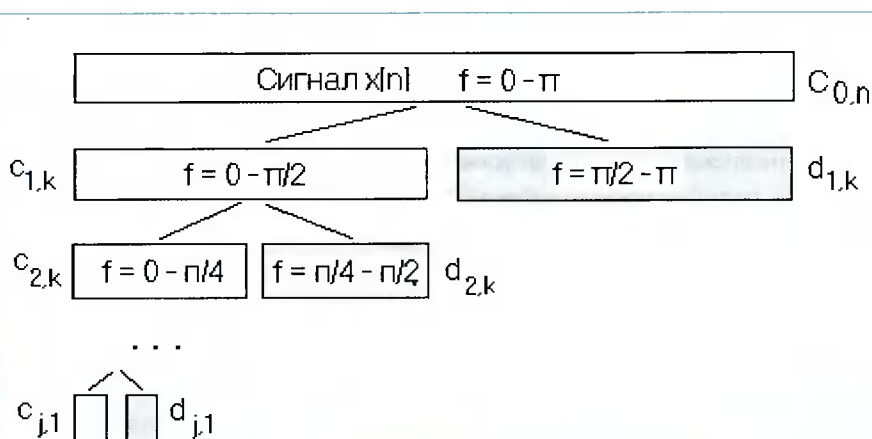


Рис. 1. Схема быстрого дискретного вейвлет-преобразования

вания, удаления шума из записанных сигналов, а также вычисления по вейвлет-спектрам дисперсии, энтропии и т.д.

Основная идея быстрого дискретного вейвлет-преобразования аналогична непрерывному вейвлет-преобразованию, только вместо вейвлетов используются высокочастотные и низкочастотные фильтры, не имеющие аналитического выражения, а задаваемые набором коэффициентов [1]. Принцип этого преобразования показан на рис. 1. Оно основано на алгоритме Малла, также называемом субполосным кодированием или пирамидальным алгоритмом.

Пусть приведенная круговая частота дискретизации исходного оцифрованного сигнала равна 2π рад. Следовательно, максимальная частота, присутствующая в сигнале, равна π рад. Исходному сигналу $x[n]$ длины n соответствует верхний столбик (рис. 1). Далее сигнал пропускается через высокочастотный фильтр, удаляющий низкие частоты в диапазоне от 0 до $\pi/2$ рад и сохраняющий диапазон частот от $\pi/2$ до π рад, и низкочастотный фильтр, удаляющий высокие частоты в диапазоне от $\pi/2$ до π рад. После пропускания сигнала через низкочастотный фильтр половина информации в сигнале становится избыточной и ее можно удалить, отбросив каждый второй отсчет в дискретном сигнале, что соответствует уменьшению частоты дискретизации сигнала вдвое. В результате получаются два массива, равных половине длине сигнала каждый и содержащих только низкочастотный $c_{1,k}$ ($0 - \pi/2$ рад) и высокочастотный $d_{1,k}$ ($\pi/2 - \pi$ рад) спектры. Они образуют первый уровень быстрого дискретного вейвлет-преобразования. Высокочастотная часть сигнала сохраняется для последующего восстановления исходного сигнала. Далее аналогичным образом анализируется низкочастотный диапазон ($0 - \pi/2$ рад), формируя в результате также два массива $c_{2,k}$ и $d_{2,k}$, равных половине длине первого уровня преобразования низкочастотной части и содержащих полосы частот ($0 - \pi/4$ рад) и ($\pi/4 - \pi/2$ рад) соответственно. В этом случае аналогично сохраняется высокочастотный диапазон. Эти коэффициенты определяют второй уровень быстрого дискретного преобразования. Подобным образом все повторяется на третьем уровне и продолжается до тех пор, пока на последнем уровне в результате деления на два длины предыдущего низкочастотного уровня не останется один низкочастотный коэффициент $c_{j,1}$ и один высокочастотный $d_{j,1}$. На последнем уровне сохраняются оба диапазона частот. Количество уровней разложения ограничено либо длиной исходного сигнала, либо необходимостью преобра-

зования до определенного диапазона частот. В обоих случаях получается частотно-временное представление сигнала, не превышающее по длине исходный сигнал. Процедура синтеза обратная. По высокочастотным $c_{j,k}$ и низкочастотным $d_{j,k}$ коэффициентам последнего уровня восстанавливаются низкочастотные коэффициенты $c_{j-1,k}$ предыдущего уровня. Поскольку высокочастотная часть $d_{j-1,k}$ этого уровня сохранена, то аналогично восстанавливается низкочастотная часть $c_{j-2,k}$ следующего уровня и так далее, пока на нулевом уровне $c_{0,n}$ мы не получим исходный сигнал. Формулы для анализа имеют следующий вид:

$$c[j+1, k] = \sum_m H^1[m-2k] \cdot c[j, m], \quad (1)$$

$$d[j+1, k] = \sum_m G^1[m-2k] \cdot c[j, m]. \quad (2)$$

Здесь $c[j+1, k]$ – набор низкочастотных коэффициентов, полученный после пропускания коэффициентов $c[j, m]$ предыдущего низкочастотного уровня j длины m через низкочастотный фильтр H^1 . На уровне $j=0$ содержится сам сигнал длины m и $c[0, m] = x[m]$, $d[j+1, k]$ – набор высокочастотных коэффициентов, полученный после пропускания коэффициентов $c[j, m]$ предыдущего низкочастотного уровня j длины m через высокочастотный фильтр G^1 .

Формула синтеза выглядит так:

$$c[j, k] = 2 \cdot \sum_m (H[k-2m] \cdot c[j+1, m] + G[k-2m] \cdot d[j+1, m]). \quad (3)$$

Для анализа сигналов используют несколько семейств фильтров [2]. Ортогональные фильтры Добеши обладают наименьшей симметрией. Существует 10 таких фильтров, обозначаемых Daub2, Daub4 и т.д. до Daub20. Цифра после названия указывает на количество коэффициентов, отличных от нуля. Ортогональные фильтры-койфлеты имеют симметрию выше и длину больше, чем фильтры Добеши. Койфлеты обозначаются Coif6, Coif12, Coif18 и т.д. до Coif30. Семейство биортогональных фильтров насчитывает 13 фильтров. В нем используются разные пары фильтров для анализа и синтеза, причем высокочастотный и низкочастотный фильтры имеют разную длину. В этом семействе фильтры сгруппированы на группы с четным и нечетным количеством коэффициентов, отличных от нуля.

Для анализа задаются только низкочастотные фильтры, а высокочастотные вычисляются по следующим соотношениям:

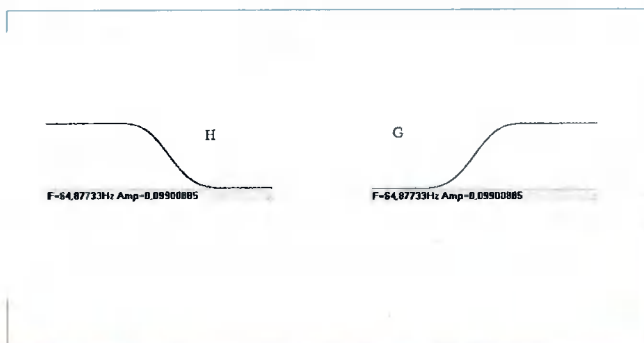


Рис. 2. Фурье-спектры ортогональных фильтров Добеши и койфлета для анализа и синтеза сигнала

$$G[n] = (-1)^n \cdot H^1[L - 1 - n], \quad (4.1)$$

$$G^1[n] = (-1)^n \cdot H[L - 1 - n]. \quad (4.2)$$

Здесь L – длина фильтра или число ненулевых моментов; для ортогональных фильтров Добеши и койфлетов низкочастотные фильтры H¹ и H равны.

Фильтры с большей длиной и высокой симметрией дают лучшее качество восстановленных ЭКГ после удаления шума на частотах около 7–15 Гц. Применение более коротких фильтров сказывается на качестве низкочастотных компонент электрокардиограмм (зубцы P, T и U), придавая им немного треугольный вид. При удалении высокочастотного шума все вейвлеты обеспечивают высокое качество восстановленного сигнала.

Фурье-спектры ортогональных и биортогональных фильтров отличаются между собой. Следовательно, они по-разному выделяют низкочастотную и высокочастотную части сигнала. На рис. 2 показаны фурье-спектры ортогональных семейств фильтров Добеши и койфлетов. В левой части рис. 2 изображен спектр низкочастотного фильтра H, в правой – высокочастотного фильтра G.

На рис. 3а показаны фурье-спектры биортогональных фильтров, применяемых для разложения сигнала в вейвлет-спектр, а на рис. 3б – спектры фильтров

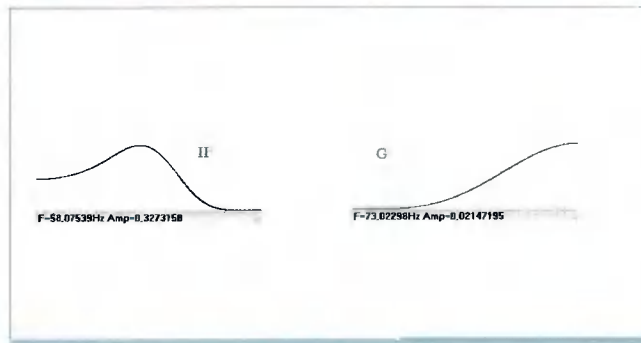


Рис. 3а. Фурье-спектры биортогональных фильтров для анализа сигнала

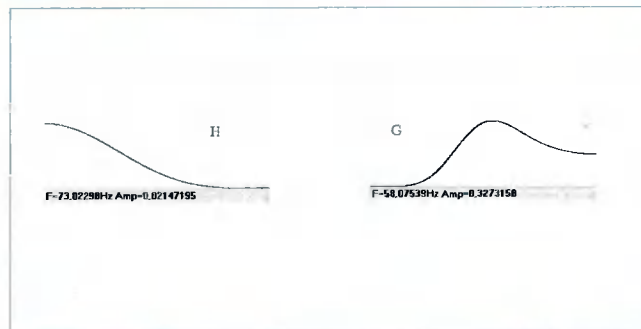


Рис. 3б. Фурье-спектры биортогональных фильтров для синтеза сигнала

для синтеза сигнала по вычисленному вейвлет-спектру. В левой части рисунка представлены спектры низкочастотных фильтров, а в правой – высокочастотных.

На рис. 4 показан вейвлет-спектр нормальной ЭКГ отведения II длительностью 10 с, оцифрованной на частоте дискретизации 128 Гц. Для анализа использован биортогональный фильтр Bio13. Проведено полное разложение сигнала до последнего 10 уровня. Длина сигнала равна 1280 сэмплов (128 Гц x 10 с).

Видно, что полезная информация присутствует в сигнале до 6-го уровня включительно. Диапазон частот меньше 1 Гц в сигнале отсутствует. Поэтому нет необходимости полного разложения сигнала. Достаточно произвести преобразование до 6-го уровня, где будет 20 высокочастотных коэффициентов диапазона 1–2 Гц и 20 низкочастотных 0–1 Гц, близких к нулю. На первых нескольких уровнях много ВЧ-шума,



Рис. 4. Вейвлет-спектр ЭКГ длительностью 10 с, вычисленный с помощью биортогонального фильтра Bio13



расположенного между комплексами QRS. Для него вейвлет-коэффициенты близки к нулю, и ими можно пренебречь, положив равными нулю, без потери качества восстановленного сигнала. В результате сохраняется только полезная информация, и в полученном спектре появляется много нулевых коэффициентов. После применения обычных процедур сжатия вейвлет-спектр сигнала стал занимать в 4 раза меньше места, необходимого для исходного сигнала. Синтез сигнала позволяет его полностью восстановить с идеальным качеством и с отсутствием ВЧ-шума. По вычисленному вейвлет-спектру можно идентифицировать компоненты ЭКГ и моменты времени наличия у них частот, принадлежащих разным частотным интервалам. На втором уровне в диапазоне 16–32 Гц у 2, 6, 7, 8, 10, 11 и 16 сердцебиения частотные компоненты комплекса QRS значительно меньше по величине по сравнению с остальными компонентами ЭКГ в этом диапазоне. Подобным образом можно судить о частотных компонентах остальных диапазонов, выявляя присутствие аномальных отклонений в сигнале на основе частотно-временных характеристик сигнала.

Кроме приравнивания к нулю вейвлет-коэффициентов малой величины, существуют формулы оценки степени шума в вычисленном спектре:

$$P = \sqrt{2 \cdot \ln(n \cdot \log(n))}, \quad (5.1)$$

$$P = \sqrt{2 \cdot \ln(n)}, \quad (5.2)$$

$$P = 0.3936 + 0.1829 \cdot \log(n), \quad (5.3)$$

где n – количество сэмплов в интервале, выбранном для подавления шума, P – величина порога.

Каждая из этих формул определяет величину порога. Вейвлет-коэффициенты ниже этой величины считаются шумом и полагаются равными нулю. Эти соотношения отличаются между собой величиной вычисленного порога. Одна из формул определяет меньшее присутствие шума, а другая – большее. Для нормализации величины порога полученная величина P умножается на дисперсию вейвлет-коэффициентов в выбранном интервале n :

$$P = P \cdot \sigma, \quad (6)$$

где σ – дисперсия коэффициентов.

Для подавления шума применяется жесткое и мягкое удаление. При жестком удалении обнуляются коэффициенты, лежащие ниже порога P ; остальные остаются без изменения:

$$d_{j,k} = d_{j,k}; |d_{j,k}| > P, \quad (7.1)$$

$$d_{j,k} = 0; |d_{j,k}| \leq P, \quad (7.2)$$

где $d_{j,k}$ – вейвлет-коэффициент.

При мягком удалении предполагается, что каждый вейвлет-коэффициент содержит шум, и коэффициенты, превышающие порог P , уменьшаются на его величину:

$$d_{j,k} = 0; |d_{j,k}| \leq P, \quad (8.1)$$

$$d_{j,k} = \text{sign}(d_{j,k})(|d_{j,k}| - P); |d_{j,k}| > P. \quad (8.2)$$

Кроме удаления шума и сжатия сигнала, быстрое вейвлет-преобразование позволяет эффективнее решить задачу определения начала и конца компонент ЭКГ во времени по сравнению с другими методами. Выполнив преобразование сигнала до первого уровня, на котором преобладают частоты комплекса QRS, и подавив остальные высокочастотные компоненты (с существенно меньшей амплитудой, чем у QRS), принадлежащие зубцам P, T, U и ВЧ-шуму, получим точное местоположение во времени начала и конца комплекса QRS и, следовательно, набор RR интервалов (интервалов частоты сердечных сокращений) для данного сигнала.

Результаты. Для анализа все сигналы были взяты из набора баз данных оцифрованных ЭКГ [3], как нормальных, так и с разными заболеваниями или отклонениями от нормы, проявляющимися при записи электрокардиограммы. Сигналы были оцифрованы, в основном, на частотах дискретизации в 128 Гц и 250 Гц и имели разную продолжительность: от 2-часовых записей до суточной регистрации. Этот сайт специально разрабатывался для оценки предлага-

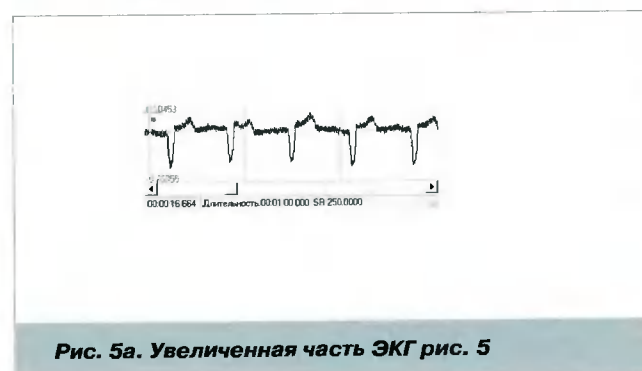




Рис. 6. Фурье-спектр ЭКГ с шумом

емых программных продуктов, их качества анализа электрокардиограмм, поиска аномалий в сигналах и их локализации.

Для сжатия сигналов и удаления шума использовались электрокардиограммы из разных баз данных. Для примера возьмем ЭКГ из базы данных Congestive heart failure database. На рис. 5 показана первая минута сигнала. Сигнал оцифрован на частоте дискретизации 250 Гц.

На рис. 5а изображена увеличенная часть этой ЭКГ начиная с 16 с. На рис. 5 видно присутствие плавания изолинии, обусловленного дыханием, и наличие высокочастотного шума. Фурье-спектр этой ЭКГ показан на рис. 6.

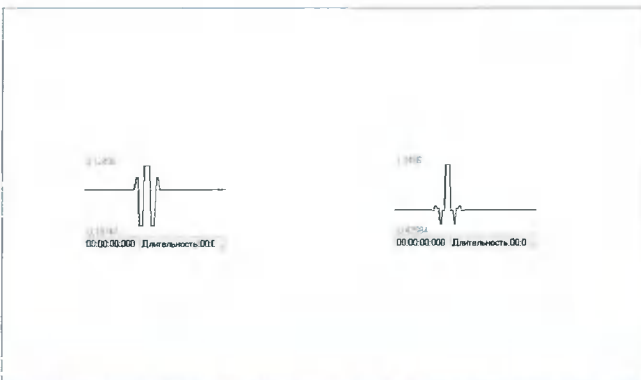


Рис. 7. Биортогональные фильтры Bior46 для анализа сигнала

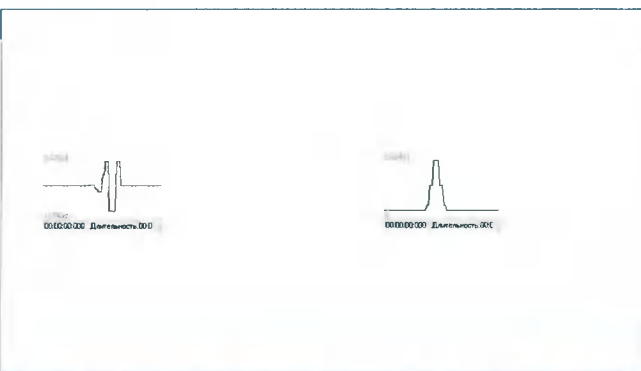


Рис. 7а. Биортогональные фильтры Bior46 для синтеза сигнала

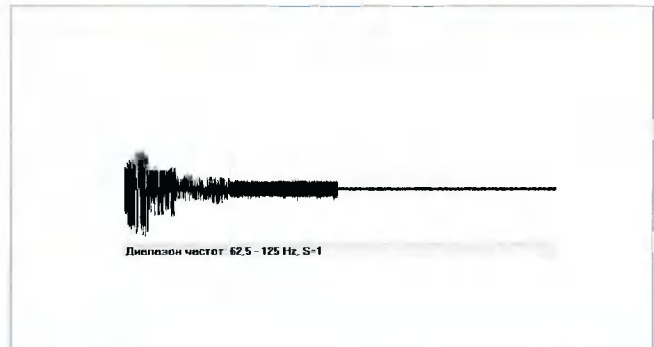


Рис. 8. Вейвлет-спектр ЭКГ из базы Congestive heart failure database

В правой части спектра присутствует пик на частоте 50 Гц, соответствующий шуму электрической сети. Самый маленький крайний левый пик вблизи 0.5 Гц соответствует плаванию изолинии. Вейвлет-анализ этой ЭКГ проводился с использованием биортогонального фильтра Bior46 (рис. 7 и рис. 7а). На рис. 7 показаны высокочастотный G1 и низкочастотный H1 фильтры для анализа, а на рис. 7а соответствующие фильтры G и H – для синтеза.

Вейвлет-преобразование проводилось до 7-го уровня, где низкочастотная часть вейвлет-коэффициентов находится в интервале 0–0.976 Гц, а высокочастотная – в интервале 0.976–1.953 Гц (рис. 8).

На последнем, 7-м уровне вейвлет-преобразования низкочастотную часть коэффициентов можно приравнять к нулю, убрав таким образом частотные компоненты, соответствующие плаванию изолинии. На втором уровне вейвлет-спектра в диапазоне частот 31.25–62.5 Гц видно более плотное скопление вейвлет-коэффициентов. Это обусловлено присутствием шума электрической сети 50 Гц. Удаление шума и вейвлет-коэффициентов, близких к нулю, производилось на первых трех уровнях спектра. Применялось жесткое удаление. На первом и втором уровнях величина порога P вычислялась с использованием соотношения (5.2). Для определения величины порога, третьего уровня применялось соотношение (5.3). Дальнейшее удаление вейвлет-коэффициентов, близких к нулю, начиная с четвертого уровня, приводит к возникновению искажений у компонент ЭКГ в восстановленном сигнале, поэтому оно нецелесообразно. На рис. 9 показан весь сигнал без плавания изолинии и высокочастотного шума, восстановленный после синтеза по вычисленному вейвлет-спектру, а на рис. 9а – увеличенная часть этой ЭКГ начиная с 16 с. Сжатие исходного сигнала обычными архиваторами сократило размер файла в 2 раза, а вычисленный же файл с вейвлет-спектром сжался в 9 раз. Подобные манипуляции проводились для ряда



Рис. 9. Первая минута ЭКГ из базы Congestive heart failure database с удаленным шумом

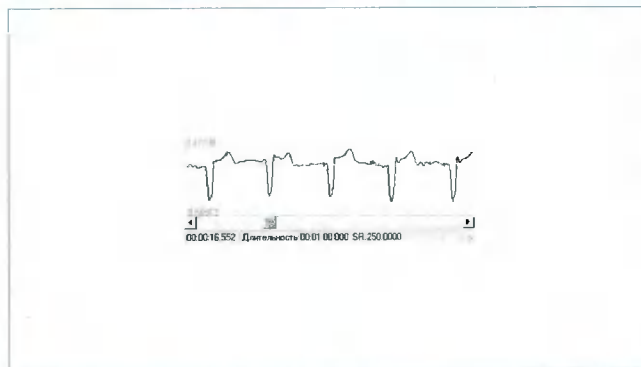


Рис. 9а. Увеличенная часть ЭКГ с удаленным шумом рис. 9

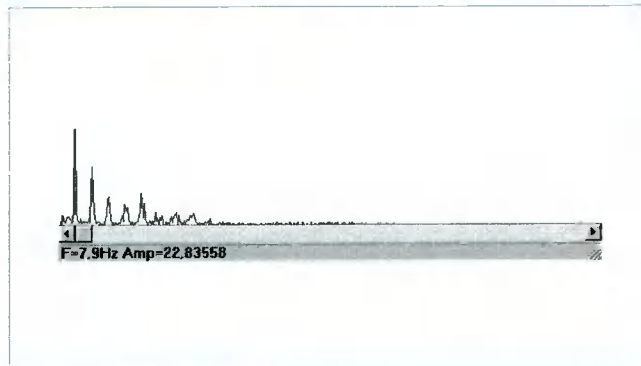


Рис. 10. Фурье-спектр ЭКГ с удаленным шумом

ЭКГ, оцифрованных на частоте дискретизации 250 Гц. Результаты были аналогичными. Коэффициент сжатия спектра всегда составлял порядка 9–12 при идеальном качестве восстановленного сигнала.

Фурье-спектр электрокардиограммы с удаленным шумом изображен на рис. 10. На этом рисунке видно отсутствие пика на частоте 50 Гц и частотной компоненты 0.5 Гц, отвечающей за плавание изолинии.

Электрокардиограммы, записанные с большей частотой дискретизации, сжимаются в большее число

раз. Поскольку частотный диапазон ЭКГ сосредоточен на низких частотах, то появляется большое число вейвлет-коэффициентов, характеризующих высокочастотные детали сигнала, в основном комплексов QRS и, соответственно, много близких к нулю коэффициентов. Вейвлет-спектры сигналов, записанных на частоте дискретизации 720 Гц, сжимаются в 19 раз, что существенно экономит место на цифровых носителях. Это существенно для хранения длительных записей ЭКГ.

Наряду с удалением шума, анализом в частотно-временной области и сжатием сигнала, быстрое вейвлет-преобразование позволяет эффективнее решить задачу временного определения начала и конца компонент ЭКГ по сравнению с другими методами. Выполнив преобразование сигнала до первого уровня, на котором преобладают частоты комплекса QRS, и подавив остальные высокочастотные компоненты, принадлежащие зубцам P, T, U и ВЧ-шуму (но с гораздо меньшей амплитудой, чем у QRS), получим точное местоположение во времени начала и конца комплекса QRS и, следовательно, набор интервалов RR (интервалы частот сердечных сокращений) для заданного сигнала.

Заключение. На примере вейвлет-преобразования электрокардиограмм было продемонстрировано эффективное удаление шума и сжатие их вейвлет-спектра, по которому исходный сигнал был полностью и с высоким качеством восстановлен. При этом коэффициент сжатия зависит от частоты дискретизации ЭКГ и быстро растет с ее увеличением. Однако, несмотря на приведенное решение ряда задач, существует необходимость в дальнейших исследованиях такого рода с целью выбора оптимальных фильтров для анализа сигналов, позволяющих получать аналогичные результаты для различных отведений ЭКГ.

Литература

1. <http://engineering.rowan.edu/~polikar/WAVELETS/Wtpart4.html> // Wavelet tutorial by Robi Polikar.
2. <http://www.ann.jussieu.fr/~koutchmy/filters>. // Discreet wavelet filters.
3. <http://www.physionet.org> // ECG database.

УДК 681.513

Субполосная адаптивная фильтрация в задачах обратного моделирования

А.Ю. Линович, В.В. Витязев

Постановка задачи

На протяжении последних десятилетий цифровые адаптивные фильтры получили широкое распространение во многих приложениях цифровой обработки сигналов, таких, как компенсация эхо-сигналов, подавление шума, адаптивное выравнивание, формирование диаграмм направленности.

В соответствии с [1], различают несколько форм математического описания задач, в которых применяются алгоритмы адаптации с обратной связью. Одной из таких задач является обратное моделирование. Суть обратного моделирования состоит в следующем.

Пусть имеется система с некоторой априорно неизвестной передаточной функцией $P(z)$. Требуется построить обратный фильтр, который имел бы передаточную функцию $W(z)$, отвечающую условию неискаженной передачи сигнала:

$$P(z) \cdot W(z) = 1 \quad (1)$$

Решение поставленной задачи наталкивается на ряд сложностей. Во-первых, как правило, неизвестная система вносит задержку в передаваемый сигнал и, следовательно, обратный фильтр должен быть системой с предсказанием. Поэтому на практике условие (1) заменяют условием:

$$P(z) \cdot W(z) = z^{-\Delta} \quad (2)$$

Здесь последовательное соединение является звеном чистой задержки сигнала на Δ отсчетов. Во-вторых, звено $W(z)$ должно быть физически устойчивым. Для выполнения условия устойчивости обычно

Рассматриваются методы решения задачи обратного моделирования динамических систем на основе субполосной адаптивной фильтрации. Показано, что для систем с протяженной импульсной характеристикой субполосное разбиение и многоскоростная обработка сигналов дают существенное преимущество как с позиции уменьшения общих вычислительных затрат, так и с позиции достижимой точности настройки и скорости сходимости.

стремятся использовать звенья с конечной импульсной характеристикой (КИХ). В результате соотношение (1) может выполняться лишь с некоторой точностью. Задача обратного адаптивного моделирования поясняется на рис. 1.

Входной сигнал $s[k]$ подвергается искажению неизвестной системой с передаточной функцией $P(z)$, которая может, кроме того, меняться во времени. В процессе моделирования мы будем считать ее неизменной, а неизвестную систему – стационарной. На вход адаптивного фильтра поступает искаженный данной системой сигнал, в котором присутствуют различные шумы, вносимые системой и возникающие в процессе измерений. В большинстве приложений шум является аддитивным, имеющим нормальное распределение [1], и адаптивный фильтр требуется настроить таким образом, чтобы получить обратную модель $W(z)$. Это значит, что результирующе-

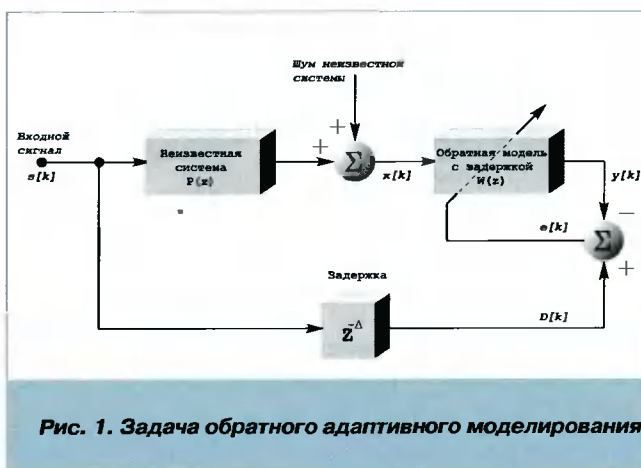


Рис. 1. Задача обратного адаптивного моделирования

щий выходной сигнал $y[k]$ должен как можно точнее аппроксимировать задержанный на время Δ входной сигнал в среднеквадратическом смысле.

$$\|d[k] - y[k]\| \rightarrow \min_{n \rightarrow \infty}$$

где $d[k] = s[k - \Delta]$ – обучающий сигнал, являющийся задержанной копией входного сигнала.

Часто неизвестная система имеет довольно протяженную импульсную характеристику. Тогда, для того чтобы обеспечить достаточно хорошее восстановление, адаптивному фильтру потребуется большое число весовых коэффициентов. Общепринятые адаптивные алгоритмы [2] наименьших квадратов проявляют в таких случаях низкую сходимость и становятся очень сложными в вычислительном плане. Одним из подходов к решению данной проблемы является применение субполосного разбиения восстанавливаемого сигнала [3]. В случае разбиения сигнала на субполосы настройка адаптивных фильтров проводится для каждого частотного канала в отдельности. Выигрыш достигается за счет того, что, с одной стороны, адаптивные фильтры, работающие в субполосах, требуют меньше коэффициентов благодаря децимации, и, с другой стороны, за счет того, что их входные сигналы имеют распределения более близкие к «белому шуму», так как занимают более узкую полосу.

Имеется несколько вариантов построения системы субполосной адаптивной фильтрации. Далее будет дан

сравнительный анализ трех субполосных технологий: с простым разбиением на равные полосы с максимальной децимацией каналов, с использованием так называемых кросс-фильтров и, наконец, с неравномерным разбиением и с неравномерным разбиением и с не максимальной децимацией. Результаты проведенного моделирования показывают преимущество последней системы.

Решение задачи обратного моделирования

На рис. 2 поясняется решение задачи обратного моделирования с разбиением сигнала на субполосы.

Сигнал, искаженный неизвестной системой, разбивается на n субполос банком фильтров анализа $H_1(z)$, $H_2(z)$ и $H_n(z)$. Затем в каждом канале производится прореживание с коэффициентом децимации $K_i, i = \overline{1, n}$, где n – порядковый номер канала. Такой же банк фильтров анализа используется для разделения на субполосы желаемого сигнала $d[k]$. Далее производится настройка ряда адаптивных фильтров $W_1(z)$, $W_2(z)$, $W_n(z)$. Настройка происходит по критерию минимума СКО в каждом канале:

$$\|e_i[k]\| \rightarrow \min_{n \rightarrow \infty}, i = \overline{1, n}$$

В простейшем случае в схеме присутствует 2 полосы, $n = 2$. Соответственно получаем следующую схему (рис. 3).

Тем не менее, более точный анализ данной проблемы, согласно [3], показывает, что в случае банков фильтров с

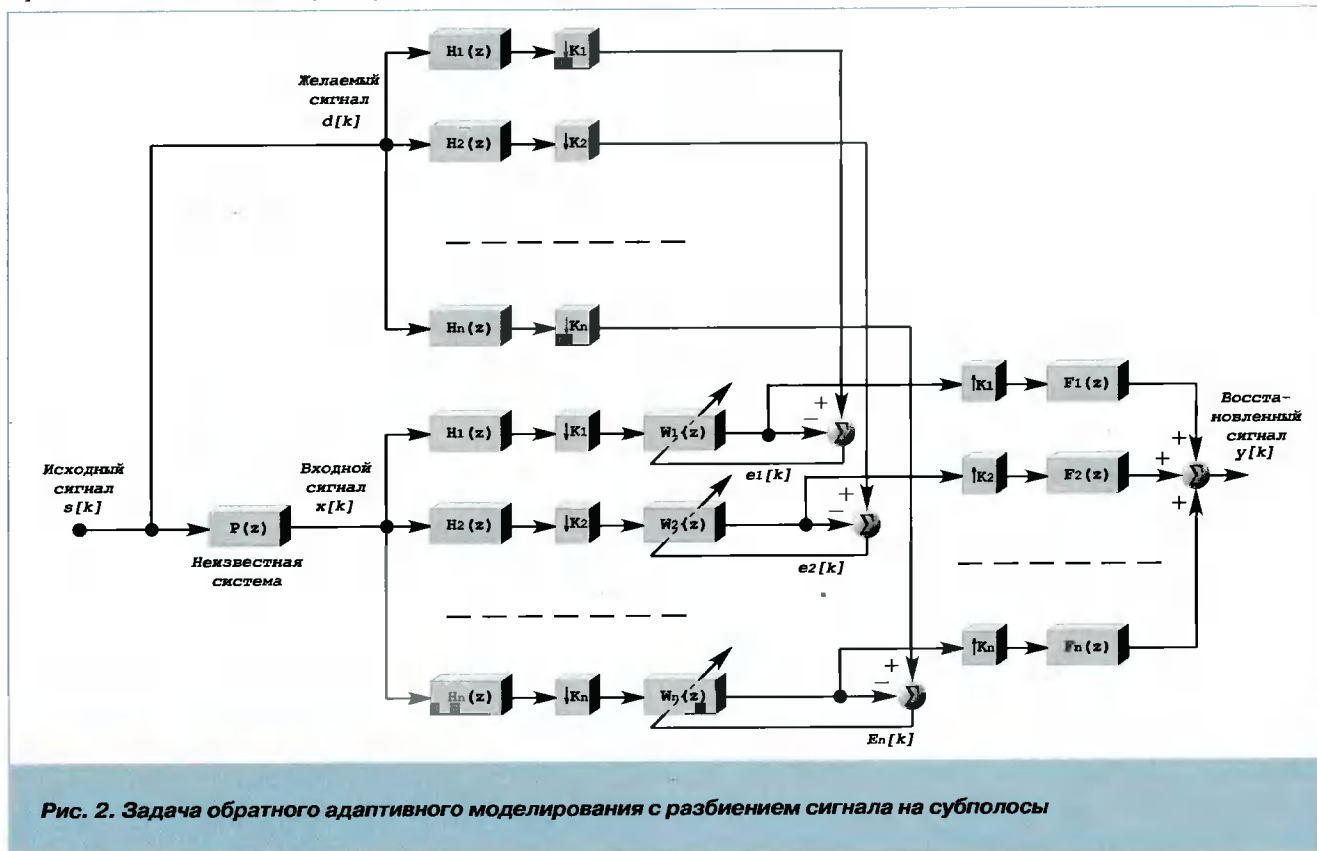


Рис. 2. Задача обратного адаптивного моделирования с разбиением сигнала на субполосы

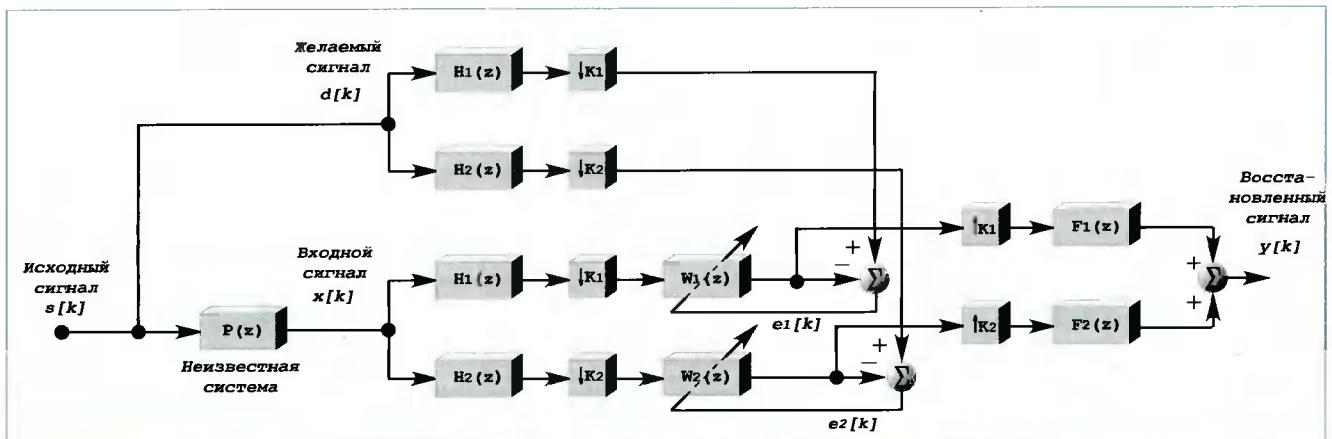


Рис. 3. Простейший субполосный адаптивный фильтр с разбиением на 2 полосы и с максимальной децимацией

максимальной децимацией необходимо использовать так называемые кросс-фильтры между смежными полосами, которые приводят к увеличению вычислительной сложности адаптивных алгоритмов и снижают скорость сходимости, потому что входные сигналы адаптивных фильтров оказываются коррелированными. Необходимость в использовании кросс-фильтров возникает вследствие того, что процесс децимации приводит к возникновению эффекта наложения или элайзинга, и, следовательно, входной сигнал для каждого адаптивного фильтра в отдельности и обучающий (желаемый) субполосный сигнал этого фильтра не могут быть связаны непосредственно. Восстановление сигнала в одной из субполос приводит к дополнительному шуму в другой, обусловленному эффектом наложения. В [5] была предпринята попытка уменьшить этот эффект благодаря использованию БИХ-фильтров анализа и синтеза с очень узкой полосой пропускания и очень высоким уровнем подавления

в зоне непрозрачности. Однако эти фильтры проявляют низкое качество работы в показателях отношения сигнал-шум восстановленного сигнала.

Другой подход к решению данной проблемы состоит в применении банков фильтров с не максимальной децимацией. Эту идею предложили М. Хартенек и Р.В. Стюарт [2]. Они же разработали метод расчета соответствующих банков фильтров с не максимальной децимацией [6]. Но исследования, проведенные ими, касались задачи прямого моделирования.

На рис. 4 и 5 приводятся структурные схемы субполосной адаптивной системы на основе кросс-фильтров и адаптивной системы с не максимальной децимацией для случаев разбиения сигнала на 2 и 3 полосы, соответственно.

Ниже рассматривается применение данных субполосных архитектур к решению задачи обратного моделирования. Приводятся результаты моделирования

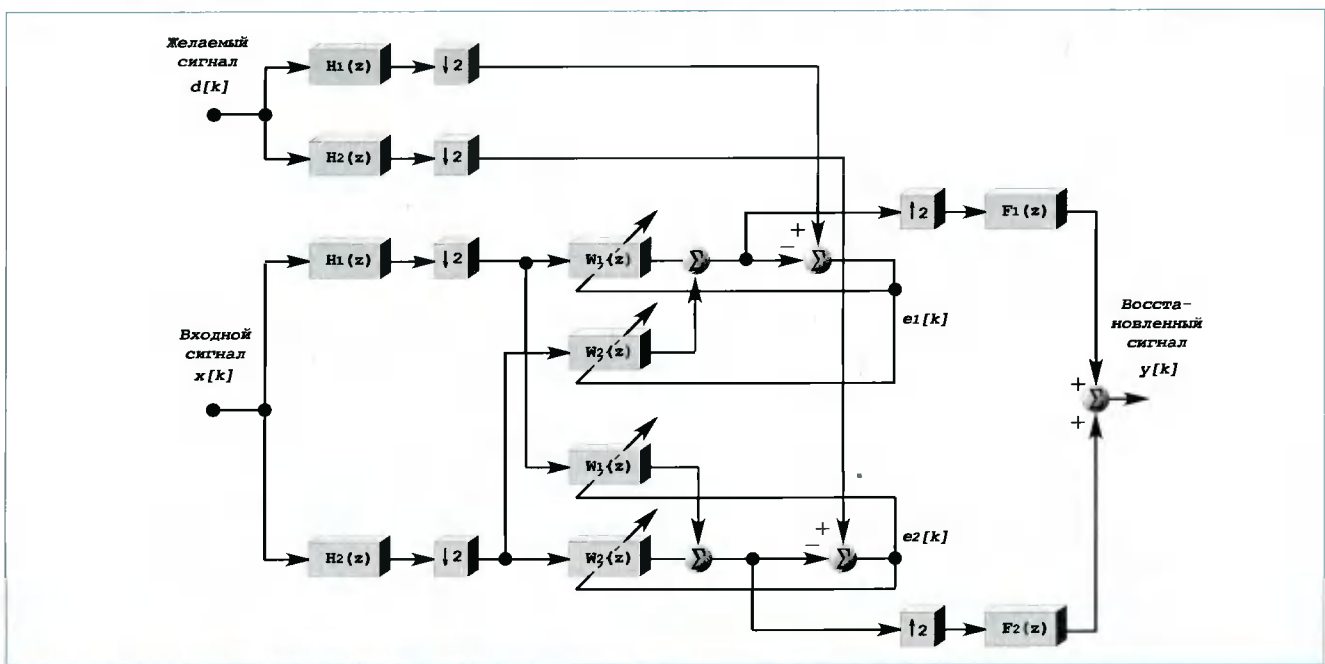


Рис. 4. Субполосная адаптивная система на основе кросс-фильтров с разбиением на 2 полосы

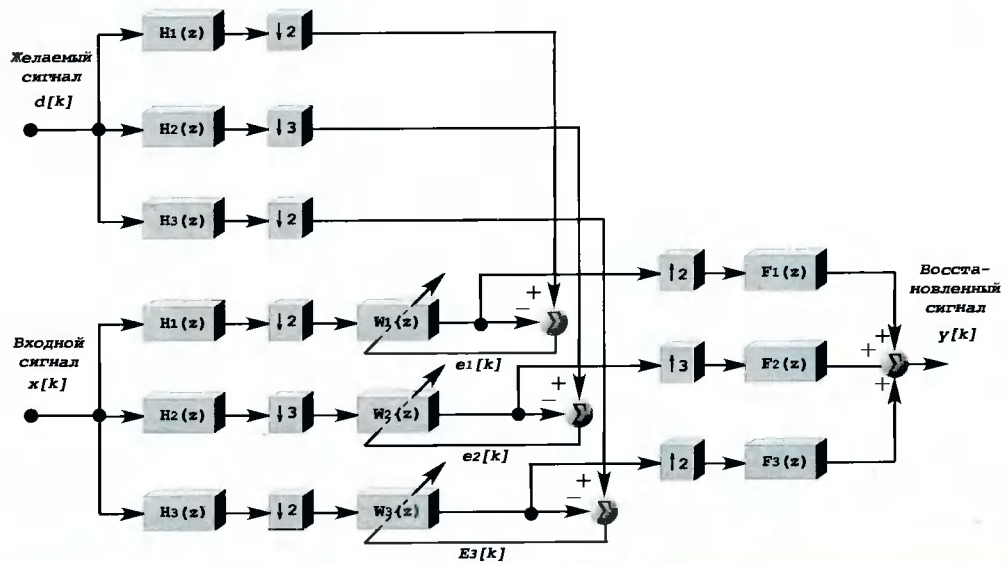


Рис. 5. Субполосная адаптивная система с не максимальным прореживанием по частоте (с разбиением на три частотных канала)

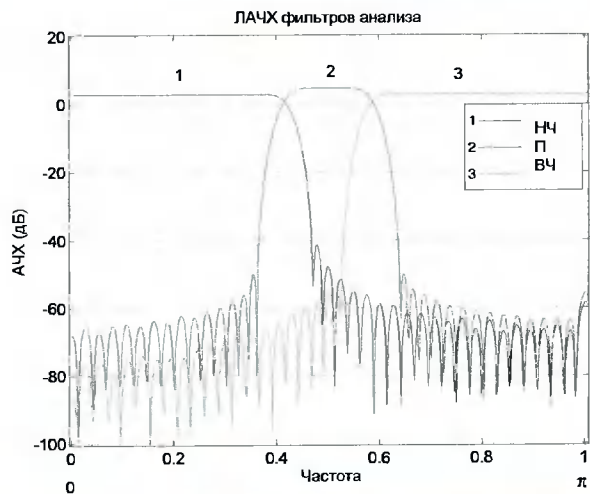
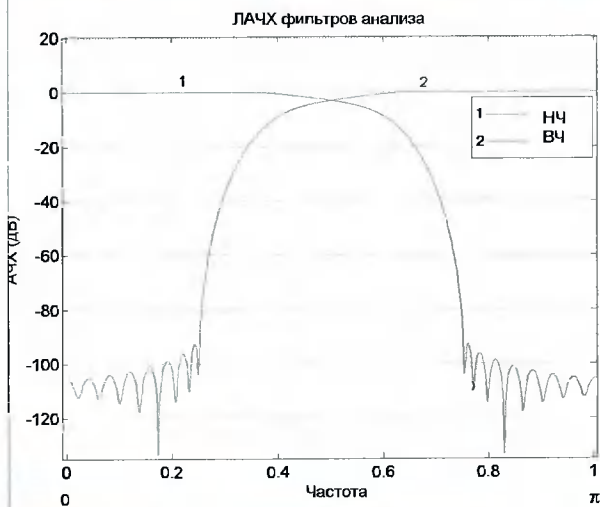


Рис. 6. ЛАЧХ используемых при моделировании фильтров анализа (банк фильтров с разбиением на две субполосы; банк фильтров с разбиением на три субполосы)

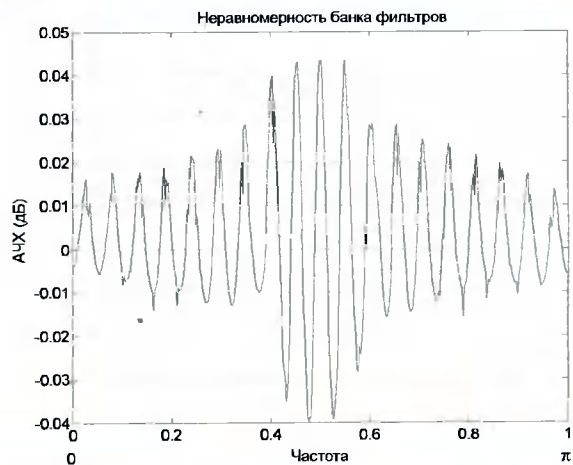
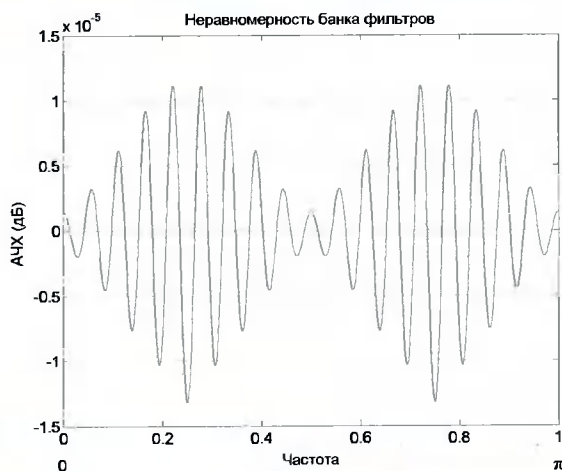


Рис. 7. Неравномерности, обеспечиваемые системами анализа синтеза при восстановлении сигнала (система анализа-синтеза с разбиением на две субполосы; система анализа-синтеза с разбиением на три субполосы)

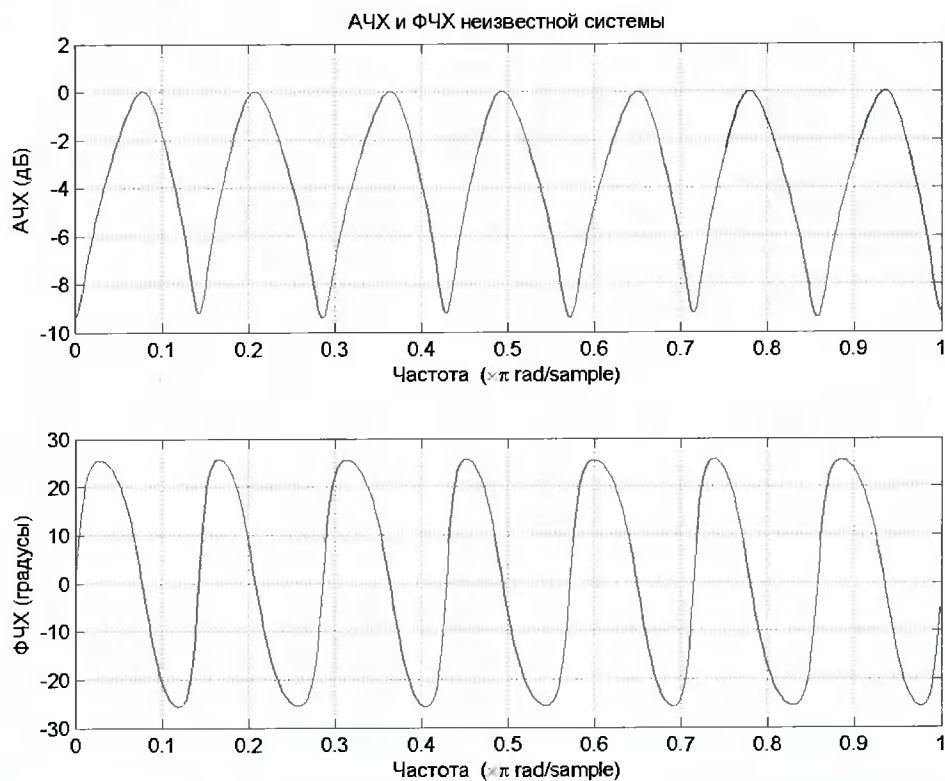


Рис. 8. Частотные характеристики (АЧХ и ФЧХ) неизвестной системы

работы субполосной системы с адаптивной фильтрацией, осуществляемой независимо в каждой полосе частот, проведенные с помощью среды MATLAB версии 6.5. В качестве банков фильтров анализа и синтеза последней из представленных систем использовались вещественные банки фильтров с немаксимальной децимацией, позволяющие устранить эффект элайзинга. Расчет фильтров проводился по алгоритмам аналогичным тому, который предложен в [6].

Целью работы является исследование эффективной субполосной адаптивной системы с немаксимальной децимацией по сравнению с классической схемой, не использующей разбиения сигнала на субполосы.

Моделирование системы

Для проведения моделирования субполосных адаптивных систем необходимо предварительно рассчитать банки фильтров анализа и синтеза, а также задать коэффициенты неизвестной системы, для которой будет проводиться обратное моделирование.

Система анализа-синтеза рассчитывается таким образом, чтобы вносить как можно меньше искажений в передаваемый сигнал. Кроме того, должна обеспечиваться высокая частотная независимость каналов, то есть субполосные фильтры должны хорошо подавлять сигнал в их зонах непрозрачности. При

моделировании использовались банки фильтров, рассчитанные по алгоритмам, описанным в [6, 7, 8].

Логарифмические частотные характеристики (ЛЧХ) фильтров банков анализа показаны на рис. 6. В первом случае банк фильтров анализа производит разбиение на две субполосы. Такой банк фильтров применяется для систем с максимальной децимацией. Во втором случае банк фильтров анализа содержит три фильтра, два из которых (фильтр нижних частот и фильтр верхних частот) используются в каналах с коэффициентом прореживания, равным двум. Эффекта наложения в результате децимации (элайзинга) не возникает в следствие того, что их ЛЧХ не перекрываются, так как НЧ-фильтр полностью подавляет все сигналы в частотном диапазоне от $\pi/4$ до $\pi/2$, а ВЧ-фильтр полностью подавляет сигналы в диапазоне от 0 до $\pi/4$. Полосовой фильтр используется в канале с коэффициентом прореживания, равным 3. Здесь элайзинг также отсутствует, потому что оказываются полностью подавленными сигналы с частотами от 0 до $\pi/6$ и от $2\pi/6$ до $\pi/2$. Этим объясняется то преимущество, которое достигается в результате использования немаксимальной децимации.

На рис. 7 показаны графики, характеризующие предельные возможности восстановления сигналов для соответствующих систем анализа-синтеза.

На рис. 8 приводятся частотные характеристики моделируемой неизвестной системы. Данная характеристика является достаточно сложной для восстановле-

Таблица 1.

| Метод построения адаптивной системы: | Вычислительная сложность алгоритма С. |
|--|---|
| 1. Система без разбиения на субполосы | $2I_c^2 + 4I_c$ |
| 2. Система с разбиением на две равных полосы с максимальной децимацией | $I_c^2 + 4I_c + 2,66 I_h + 1,33 I_f$ |
| 3. Система, построенная на основе кросс-фильтров | $I_c^2 + 4I_c + 2,66 I_h + 1,33 I_f$ |
| 4. Предлагаемая система с неравномерным разбиением на субполосы. | $0,57 I_c^2 + 2,44 I_c + 2,66 I_h + 1,33 I_f$ |

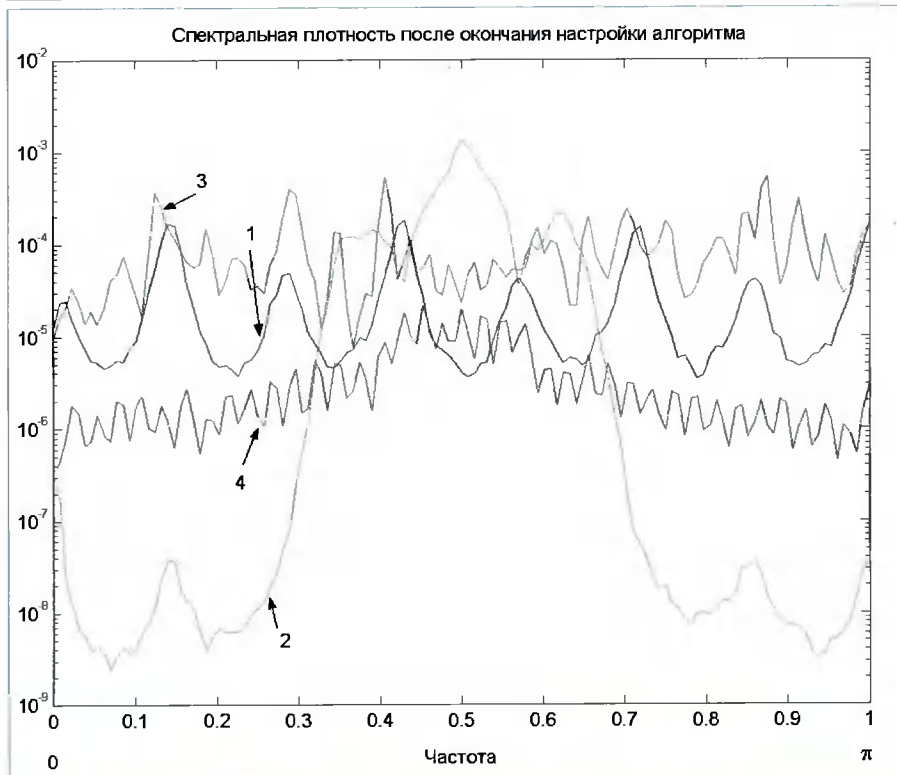


Рис. 9. Спектр сигнала ошибки по окончании процесса настройки при равной вычислительной сложности (1 – алгоритм без разбиения на субполосы, 2 – алгоритм с максимальной децимацией, 3 – алгоритм на основе кросс-фильтров, 4 – алгоритм с не максимальной децимацией)

ния, потому что в ней имеются довольно сложные амплитудные и фазовые искажения. Данная система описывается БИХ-звеном 42-го порядка, коэффициенты которого были получены при помощи функций системы MATLAB 6.5 следующим образом. Первоначально были получены векторы коэффициентов числителя и знаменателя БИХ-звена 6-го порядка с соответствующими амплитудными и фазовыми искажениями. А затем между соседними элементами векторов было добавлено по 6 нулевых элементов, в результате чего получились характеристики с периодическим повторением в частотном диапазоне (7 повторений), а число коэффициентов возросло в 7 раз.

Далее проводилось компьютерное моделирование и сравнение систем сначала при равной вычислительной сложности алгоритмов, а затем при равном эквива-

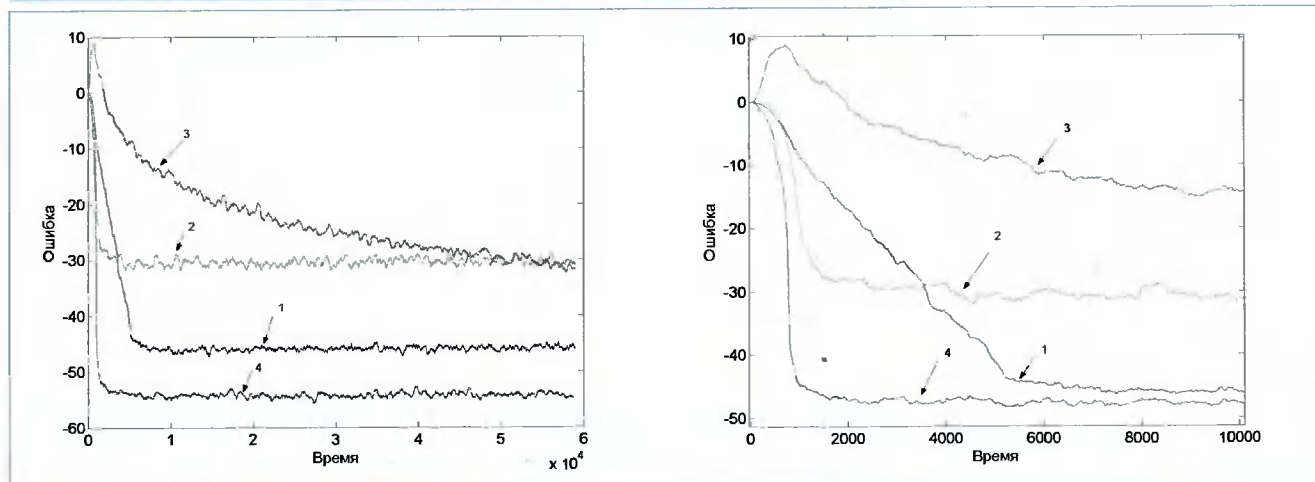


Рис. 10. Уменьшение мощности сигнала ошибки в процессе настройки адаптивных фильтров (1 – алгоритм без разбиения на субполосы, 2 – алгоритм с максимальной децимацией, 3 – алгоритм на основе кросс-фильтров, 4 – алгоритм с не максимальной децимацией)

лентном порядке адаптивных фильтров. Для фильтра, работающего с прореженными сигналами, под эквивалентным порядком I будем понимать порядок фильтра имеющего импульсную характеристику такой же абсолютной длины, но работающего без понижения частоты дискретизации. Тогда $I=N \cdot K$, где N – порядок фильтра с децимацией, K – коэффициент децимации. В таком случае можно показать, что оценка вычислительной сложности алгоритмов определяется соотношениями, представленными в табл. 1 (предполагается, что настройка производится по рекурсивному алгоритму наименьших квадратов). Здесь I_c – эквивалентный порядок адаптивных фильтров субполосной системы, I_h и I_f – эквивалентные порядки фильтров, использующихся в банке анализа и банке синтеза.

Пусть для системы без разбиения на субполосы $I_{c1} = 240$. Тогда вычислительная сложность ее реализации $S_1 = 2 \cdot 240^2 + 4 \cdot 240 = 116160$. Для системы с разбиением на две субполосы используются банки фильтров 50-го порядка ($I_h = I_f = 50$), и, при условии равенства вычислительных затрат, можно увеличить эквивалентные длины адаптивных фильтров до значений: $I_{c2} = 480$ и $I_{c3} = 340$ (для второй и третьей систем). Для четвертой системы, системы с не максимальной де-

цимацией, используется банк фильтров 75-го порядка ($I_h = I_f = 75$). В этом случае эквивалентный порядок адаптивной системы достигает значения $I_{c4} = 449$.

Сравнение при одинаковой вычислительной сложности

В соответствии с вычисленными выше эквивалентными порядками адаптивных фильтров определяем их фактические порядки. Для системы без прорежи-

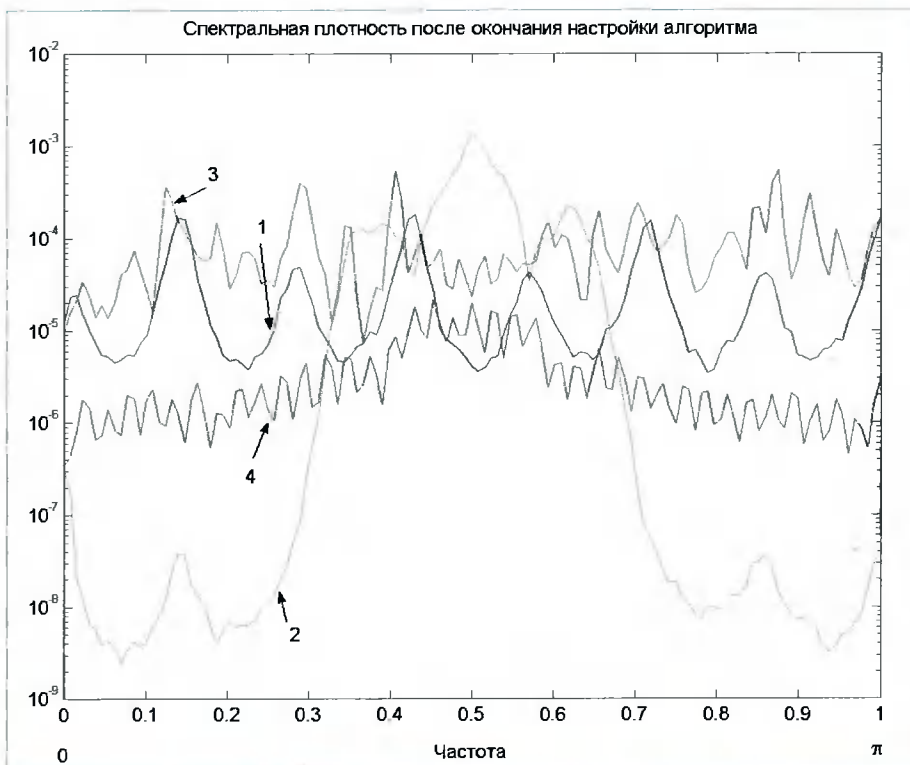


Рис. 11. Спектр сигнала ошибки по окончании процесса настройки при равных эквивалентных порядках (1 – алгоритм без разбиения на субполосы, 2 – алгоритм с максимальной децимацией, 3 – алгоритм на основе кросс-фильтров, 4 – алгоритм с не максимальной децимацией)

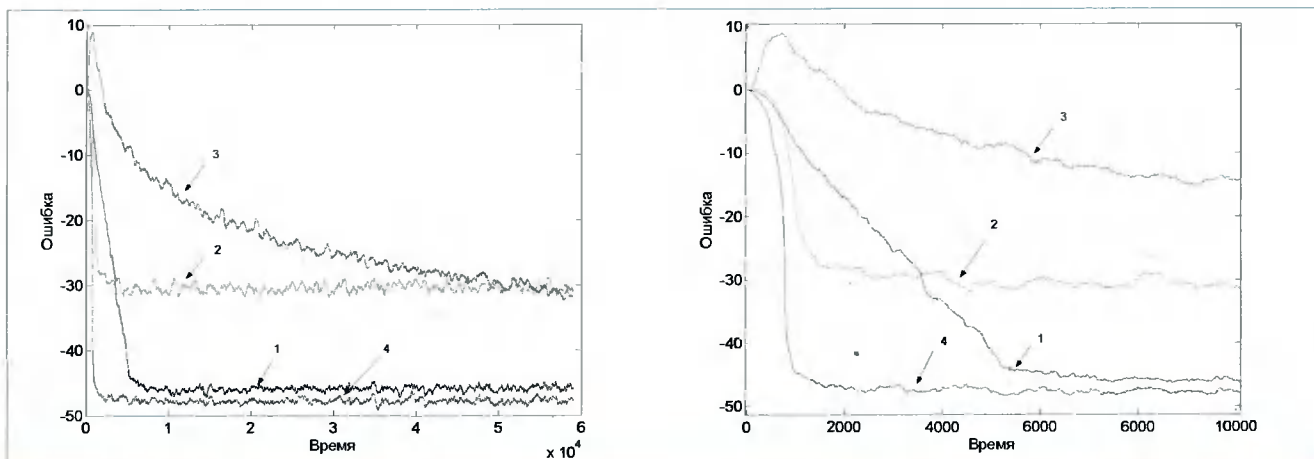


Рис. 12. Уменьшение мощности сигнала ошибки в процессе настройки адаптивных фильтров (1 – алгоритм без разбиения на субполосы, 2 – алгоритм с максимальной децимацией, 3 – алгоритм на основе кросс-фильтров, 4 – алгоритм с не максимальной децимацией)



вания порядок фильтра равен его эквивалентному порядку $N_1=240$. Для второй системы $N_{2,1}=N_{2,2}=240$, для третьей – $N_{3,1}=N_{3,2}=N_{3,3}=N_{3,4}=170$ и для четвертой – $N_{4,1}=N_{4,3}=225$, $N_{4,2}=150$.

Далее на рис. 9, 10 приводятся результаты моделирования.

Из рисунков видно, что алгоритм с максимальной децимацией (кривая 2) настраивается быстрее, чем алгоритм без разбиения на субполосы (кривая 1), но в установившемся режиме не достигается высокой точности из-за явления элайзинга (наложений спектров соседних полос). При использовании кросс-фильтров (кривая 3) точность повышается, но процесс настройки сильно затягивается, так как сигналы оказываются коррелированными. Метод, использующий не максимальную децимацию в субполосах (кривая 4), оказывается самым точным и одновременно самым быстрым при равных вычислительных затратах. Повышение точности настройки последней системы по сравнению с системой, не использующей разбиения на субполосы, объясняется возможностью увеличить эквивалентный порядок адаптивных фильтров при равных вычислительных затратах. Но это преимущество реально достигается только при моделировании неизвестной системы с достаточно сложными частотными характеристиками (например, рис. 8). Если же неизвестная система станет «проще», то предельная точность настройки будет определяться качеством расчета фильтров анализа и синтеза.

Сравнение фильтров при одинаковых эквивалентных порядках

Далее проводим моделирование при равных эквивалентных порядках адаптивных фильтров.

Пусть, как и раньше, для системы без разбиения на субполосы $I_{c1}=240$. Тогда устанавливаем такой же эквивалентный порядок и для систем с субполосными адаптивными алгоритмами.

Здесь алгоритм на основе кросс-фильтров в пределе достигает приблизительно той же точности, что и алгоритм без разбиения на субполосы, но скорость сходимости по-прежнему очень низкая. И снова заметно очевидное преимущество системы с не максимальной децимацией (кривая 4). Точность настройки системы без разбиения на субполосы и системы с не максимальной децимацией приблизительно равная (так как эквивалентные порядки одинаковы), но зато, благодаря применению субполосной адаптации, скорость сходимости значительно выше, а кроме того, снижается и вычислительная сложность субполосного алгоритма.

Заключение

На основании проведенных экспериментов можно утверждать, что использование не максимальной децимации в субполосных алгоритмах при решении задачи обратного адаптивного моделирования дает значительное преимущество последним алгоритмам перед классическими алгоритмами, не использующими разбиения сигнала на субполосы. Это объясняется уменьшением порядков используемых адаптивных фильтров в результате децимации входного сигнала. А, кроме того, это связано еще и с тем, что субполосные сигналы имеют характеристики более близкие к характеристикам «белого шума».

В экспериментах приводились результаты сравнения для систем с разбиением на минимальное число полос: на 2 полосы или на 3 полосы, что позволило упростить процесс моделирования. Можно показать, что выигрыш от использования субполосной адаптации оказывается еще выше, если разбивать сигнал на большее число полос.

Литература

1. Уидроу Б., Стринз С. Адаптивная обработка сигналов. Пер. с англ. – М.: Радио и связь, 1989. – 440 с.
2. Адаптивные фильтры. Пер. с англ. / Под ред. Коуэна К. Ф.Н. и Гранта П.М. – М.: Мир, 1988. – 392 с.
3. Harteneck M and Stewart R W. A Subband Adaptive Filter. IEE Colloquium on Adaptive Signal Processing for Mobile Comms Systems, 29 October 1997.
4. Gilloire A and Vitterli M. Adaptive Filtering in Subbands with Critical Sampling: Analysis, Experiments, and Application to Acoustic Echo Cancellation. IEEE Transactions on Signal Processing, 40(8): 1862–1875, August 1992.
5. Tanrikulu O, Baykal B, Constantinides A G, and Chambers J A. Residual Signal in Subband Acoustic Echo Cancellers. Proceedings of EUSIPCO 96, 1:21-24, September 1996.
6. Harteneck M., Weiss S., and Stewart R. W. Design of Near Perfect Reconstruction Oversampled Filter Banks for Subband Adaptive Filters. IEEE Transactions on Circuits & Systems II, 46(8):1081–1086, August 1999.
7. Vaidyanathan P.P., Multirate digital filters, filter banks, polyphase networks, and applications: A tutorial, IEEE Proc., 78(1), 1990.
8. Вайдьянатхан П.П. Цифровые фильтры, блоки фильтров и полифазные цепи с многочастотной дискретизацией: Методический обзор // ТИИЭР. – 1990. №3. С.77–119.

УДК 681.323

Модуль цифровой обработки сигналов XDSP-5MC компании Scan Engineering Telecom

В.Г. Мистюков

Введение

Модуль цифровой обработки сигналов XDSP-5MC предназначен для решения высокопроизводительных задач цифровой сигнальной обработки. Гибкая конфигурация модуля, сочетающая производительность ПЛИС Xilinx семейства Virtex-2 и гибкость ЦПОС Texas Instruments TMS320C64xx позволяет эффективно реализовать практически весь спектр алгоритмов обработки цифровых сигналов, начиная от высокоскоростного аналого-цифрового преобразования и цифровой фильтрации и заканчивая многоканальным спектральным анализом и обработкой изображений.

Конструктивно модуль выполнен в виде платы Compact PCI 64 бита конструктива 3U.

Возможные области применения модуля ЦОС XDSP-5MC:

- ◆ цифровая фильтрация;
- ◆ многоканальная радиолокация;
- ◆ спектральный анализ;
- ◆ двумерная обработка сигналов и изображений.

Область применения модуля не ограничивается приведенным списком и ввиду реконфигурируемости основного вычислительного ядра позволяет охватить широкий спектр практических приложений.

Общее техническое описание

Основой модуля XDSP-5MC является печатная плата в слот Compact PCI 3U с поддержкой спецификации Compact PCI 2.0 R3.0 Plug&Play. На плате устанавливается две ПЛИС наиболее мощного семейства Virtex-2 фирмы Xilinx с предельной логической ёмкостью 8 и 1 млн. вентилей соответственно, а также дополнительно:

Статья продолжает серию публикаций, посвященных краткому описанию функциональных возможностей модулей ЦОС фирмы Scan Engineering Telecom (г. Воронеж) и практике их применения в широком спектре приложений, ориентированных на высокопроизводительную обработку сигналов и изображений в реальном времени. Приводятся технические характеристики, функциональный состав и конфигурации модуля XDSP-5M с логическим ядром на основе ПЛИС Virtex-2 и процессором TMS320C6416.

- ◆ цифровой сигнальный процессор фирмы Texas Instruments TMS320C6416;
- ◆ четыре банка ZBT SRAM ПЛИС объемом до 512Кх36 слов каждый;
- ◆ до 32 Мбит ZBT SRAM на шине EMIFA ЦПОС;
- ◆ до 128 Мбит FLASH на шине EMIFB ЦПОС;
- ◆ два канала АЦП 12 бит/210 МГц;
- ◆ вход внешнего тактирования;
- ◆ канал приёма LVDS 1,68 Гбит/сек;
- ◆ канал передачи LVDS 1,68 Гбит/сек.

Основные технические характеристики модуля:

1. Поддержка CompactPCI 2.0 R3.0 33 МГц 32/64 бит, Master/Slave, 3.3В.

2. Основная ПЛИС Xilinx серии Virtex-II в корпусе FF1152 из ряда:

XC2V3000 с временной группой -4/-5/-6

XC2V4000 с временной группой -4/-5/-6

XC2V6000 с временной группой -4/-5/-6

XC2V8000 с временной группой -4/-5/-6

- ◆ внутренние тактовые частоты ПЛИС до 420 МГц;
- ◆ до 168 встроенных в ПЛИС аппаратных умножителей 18х18 бит;
- ◆ до 12 встроенных в ПЛИС цифровых менеджеров тактирования (DCM);
- ◆ до 168 банков двухпортового синхронного ОЗУ ПЛИС по 18 кБит (BlockRAM).



3. Интерфейсная ПЛИС Xilinx серии Virtex-II в корпусе FG456 из ряда:

XC2V250 с временной группой -4/-5/-6

XC2V500 с временной группой -4/-5/-6

XC2V1000 с временной группой -4/-5/-6

- ◆ до 40 встроенных в ПЛИС аппаратных умножителей 18x18 бит;
- ◆ до 8 встроенных в ПЛИС цифровых менеджеров тактирования (DCM);
- ◆ до 40 банков двухпортового синхронного ОЗУ ПЛИС по 18Кбит (BRAM).

4. ЦПОС Texas Instruments TMS320C64xx в корпусе BGA532 из ряда:

TMS320C6414 с тактовой частотой 500/600МГц

TMS320C6415 с тактовой частотой 500/600МГц

TMS320C6416 с тактовой частотой 500/600МГц

- ◆ производительность ЦПОС, MIPS, из ряда – 4000, 4800;
- ◆ реализуемая ЦПОС архитектура – Velocity Advanced VLW;
- ◆ до восьми 32-разрядных инструкций ЦПОС, выполняемых за цикл;
- ◆ шесть независимых АЛУ ЦПОС 32-/40-бит;
- ◆ два независимых умножителя ЦПОС, позволяющих выполнить за такт 4 умножения 16x16 бит или 8 умножений 8x8 бит;
- ◆ число 32-разрядных регистров ЦПОС общего назначения – 64;
- ◆ кэш-память кода и данных первого уровня по 16 Кбайт каждая;
- ◆ кэш-память второго уровня емкостью 1 Мбайт;
- ◆ разрядность шины EMIFA ЦПОС с основной ПЛИС – 64 бита;
- ◆ частота обмена ЦПОС с внешним ОЗУ ZBT SRAM по шине EMIFA не менее 133 МГц;
- ◆ разрядность HPI интерфейса ЦПОС с основной ПЛИС – 32 бита;
- ◆ разрядность шины EMIFB ЦПОС с интерфейсной ПЛИС в синхронном/асинхронном режимах – 16 бит;
- ◆ число каналов ПДП ЦПОС – 64;
- ◆ доступный интерфейсной ПЛИС последовательный порт ЦПОС – McBSP2;
- ◆ последовательный порт ЦПОС на внутреннем разъеме расширения (20 контактов с шагом 1.27 мм) – McBSP0;
- ◆ аппаратных декодеров Витерби (VCP) и Тубродекодеров (TCP), (только при установке C6416) – 1+1;
- ◆ число реализованных 32-разрядных таймеров ЦПОС – 2;

- ◆ встроенная ФАПЧ с возможностью умножения частоты ЦПОС на 1, 6 или 12.

5. Объем внешнего ОЗУ ZBT SRAM на шине 64-разрядной шине EMIFA ЦПОС до 4-х Мбайт (512Кx64).

6. Четыре внешних к ПЛИС независимых банка синхронного статического ОЗУ ZBT SRAM объемом до 512Кx36 слов (200 МГц).

7. Энергонезависимая FLASH-память модуля до 128 Мбит (90 нс).

8. Два канала АЦП с общим тактированием:

- ◆ разрядность – 12 бит;
 - ◆ предельная частота тактирования – не менее 210 (170) МГц;
 - ◆ минимальная частота тактирования – не менее 40 МГц;
 - ◆ вход закрытый с входным сопротивлением – 50 Ом;
 - ◆ размах входного сигнала в полной разрядной сетке АЦП – 1.530В либо 0.765В (программируется пользователем);
 - ◆ цифровая коррекция смещения нуля АЦП с хранения значений смещения в I²C EEPROM;
 - ◆ цифровой интерфейс с ПЛИС – LVDS 12x2 бит с сопровождающим тактированием;
 - ◆ отслеживание выхода входного сигнала за разрядную сетку АЦП.
9. Вход внешнего тактирования:
- ◆ предельная частота – не менее 200 МГц;
 - ◆ вход закрытый с входным сопротивлением – 50 Ом;
 - ◆ размах сигнала – не менее 0,3В.

10. Канал приёма сигналов стандарта LVDS:

- ◆ число дифференциальных пар приёма данных – 3;
- ◆ число дифференциальных пар тактирования – 1;
- ◆ предельная пропускная способность – не менее 1,68 Гбит/с;
- ◆ разрядность принятых данных в стандарте TTL – 28 бит.

11. Канал передачи сигналов стандарта LVDS:

- ◆ число дифференциальных пар передачи данных – 3;
- ◆ число дифференциальных пар тактирования – 1;
- ◆ предельная пропускная способность – не менее 1,68 Гбит/с;
- ◆ разрядность передаваемых данных в стандарте TTL – 28 бит;
- ◆ предельная частота тактирования в стандарте TTL – не менее 60 МГц.

12. Поддержка JTAG IEEE 1149.1 инициализации ПЛИС и эмуляции ЦПОС.
13. Встроенный температурный контроль кристалла ПЛИС и окружающей среды.
14. Значения сигнальных уровней интерфейса Compact PCI – 3.3В.
15. Значения необходимых питающих напряжений, подаваемых по шине CompactPCI – +3.3, +5В.
16. Стабильность напряжений +3.3В и +5В – не хуже 5%.
17. Предельный ток нагрузки встроенных цифровых преобразователей питания ядер ПЛИС (+1.5В) и ЦПОС (+1.2В/+1.4В) – не менее 6А.
18. Возможность подачи внешнего напряжения питания ядра ПЛИС.
19. Предельная потребляемая от источника Compact PCI +3.3В мощность – не более 10Вт.
20. Предельная потребляемая от источника Compact PCI +5В мощность – не более 18Вт.
21. Диапазон рабочих температур в коммерческом исполнении, 0 – +50°С.

Логическое ядро XDSP-5MC

Логическое ядро XDSP-5MC образовано основной ПЛИС Virtex-2, внешним ОЗУ и интерфейсной ПЛИС Virtex-2.

Основная ПЛИС модуля объёмом до 8 млн. вентиляей предназначена для выполнения высокопроизводительной цифровой обработки сигналов с выхода АЦП и приёмного канала LVDS с передачей данных для дальнейшей обработки в ЦПОС/интерфейсную ПЛИС либо посредством каналов LVDS в модуль объединения.

В основной ПЛИС возможно разместить до 168 аппаратных умножителей 18х18 бит в дополнительном коде, что при частоте тактирования 120 МГц даёт результирующую производительность обработки ~20GMAC (20 млрд. операций умножений с накоплением в секунду).

Банк блочного ОЗУ объёмом 18 Кбит, связанный с одним из входов каждого аппаратного умножителя, позволяет производить подкачку 18 разрядных данных на частоте тактирования, что облегчает построение высокопроизводительных КИХ-фильтров с длинной отводов до 1000 (организация BlockRAM 1024х18).

Интерфейсная ПЛИС модуля объёмом до 1 млн. вентиляей в основном предназначается для обеспечения интерфейса основной ПЛИС и ЦПОС с шиной PCI, где большой объём внутреннего двухпортового ОЗУ

ПЛИС (до 700 Кбит) облегчает построение каналов FIFO DMA на высоких частотах входных данных.

Число высокоскоростных линий ввода-вывода между основной и интерфейсной ПЛИС достигает 114 (при установке в качестве интерфейсной ПЛИС XC2V500, XC2V1000) и 58 – при установке ПЛИС XC2V250. Предельная частота межкристального обмена составляет не менее 120 МГц. Обратные линии тактовых межкристальных сигналов заведены на глобальные тактовые буферы ПЛИС, что упрощает обеспечение заданных временных характеристик за счёт фазовой автоподстройки тактового сигнала на DLL Virtex-2.

Неотъемлимой функцией интерфейсной ПЛИС также является обеспечение конфигурации основной ПЛИС и ЦПОС из FLASH и реконфигурации их через шину PCI.

Основная ПЛИС модуля может обращаться к четырём независимым банкам синхронного статического ОЗУ типа ZBT SRAM с организацией до 512Кх36 слов (рис. 1). Из сигналов управления ОЗУ на ПЛИС заведён минимальный набор сигналов: CE, CKE, WE, LD, а также сигналы разрешения линий данных по 16 бит BWAB и BWCD. Обратные линии тактовых сигналов ОЗУ (Feedback clock) заведены на глобальные тактовые буферы ПЛИС.

Предельная частота межкристального обмена ПЛИС с памятью ZBT SRAM составляет не менее 166 МГц.

Интерфейс логического ядра и ЦПОС

На модуле XDSP-5PC устанавливается мощный цифровой сигнальный процессор семейства C6000 фирмы Texas Instruments TMS320C6416/5/4. Ядро процессора выполнено по архитектуре Velocity.2 и предназначено для работы с данными в формате с фиксированной запятой.

Вычислительное ядро процессора представлено шестью независимыми АЛУ 32/40 бит и четырьмя 16-разрядными умножителями. За один такт процессор способен выполнять 4 операции умножения 16х16 бит, что при тактовой частоте 600 МГц определяет его производительность в 2400 млн. MAC (16х16 разрядов). Процессор имеет 64 32-разрядных регистра общего назначения, кэш-памяти первого уровня для кода и данных в объёме по 16 Кбайт и 1 Мбайт кэш-памяти второго уровня.

На внешней шине процессора – 64-разрядном интерфейсе EMIFA (External Memory Interface-A), расположен банк статического ОЗУ ZBT SRAM объёмом до 4 Мбайт, состоящий из двух кристаллов по 512 Кх32 с

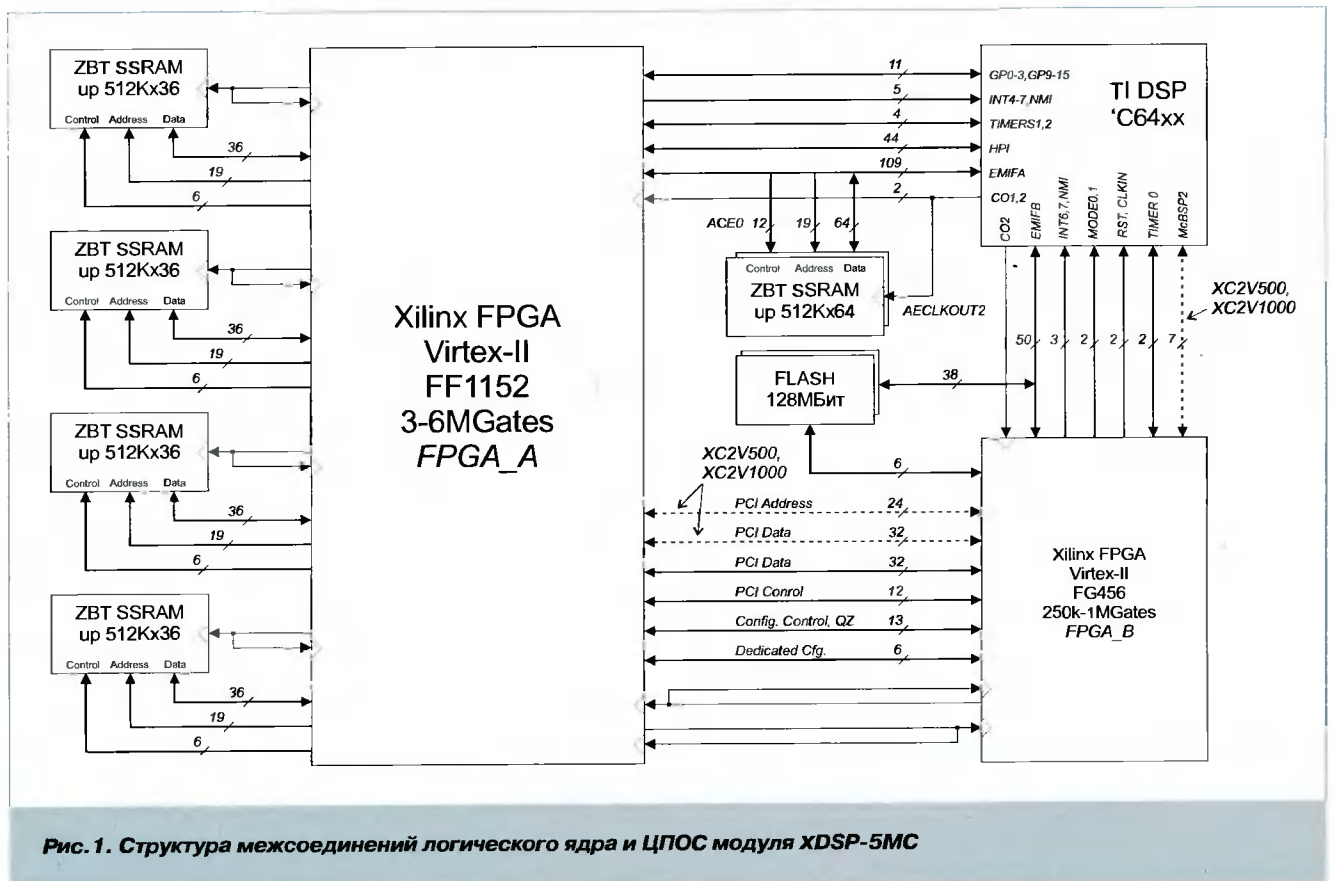


Рис. 1. Структура межсоединений логического ядра и ЦПОС модуля XDSP-5MC

наращиванием шины данных. Частота обмена процессора с данным ОЗУ составляет не менее 150 МГц и может быть выбрана равной 1/4 либо 1/6 тактовой частоты процессора. Для тактирования ZBT SRAM используется тактовый выход ЦПОС AECLKOUT2, а используемая линия адресного пространства для обращения к ZBT SRAM – ACE0.

Все сигналы шины EMIFA ЦПОС, в том числе и сигналы арбитража ANOLD, ANOLDA и ABUSREQ заведены на основную ПЛИС ЦПОС, что позволяет отразить необходимую память и регистры ПЛИС в адресное пространство EMIFA ЦПОС и значительно упростить высокоскоростной обмен между ПЛИС и ЦПОС.

Дополнительным механизмом обмена основной ПЛИС и сигнального процессора может служить 32-разрядный интерфейс HPI/PCI, все линии которого заведены на ПЛИС. Причём в режиме HPI между ПЛИС и ЦПОС производится асинхронный обмен, а в режиме PCI – синхронный обмен согласно спецификации 2.2 PCI 32 бит/33 МГц. Выбор режима определяется с помощью сигнала PCI_EN. В случае режима PCI основная ПЛИС может выполнять роль моста между контроллером, встроенным в ЦПОС, и внешней шиной PCI.

16-разрядный интерфейс внешней памяти ЦПОС EMIFB всеми сигналами за исключением BECLKOUT2 и VBE0,1 подключен к интерфейсной ПЛИС модуля.

Таким образом, решаются две задачи: во-первых, на шине адреса формируются сигналы, определяющие режимы работы ЦПОС при его выходе из состояния сброса, во-вторых, процессор может быть инициатором передачи данных в направлении ПЛИС, синхронно или асинхронно со скоростью до 266 Мбайт/сек аналогично интерфейсу EMIFA.

На шине EMIFB ЦПОС подключены два 16-разрядных банка FLASH-памяти объёмом по 64 Мбита, для хранения программ и данных ЦПОС и конфигурационных данных основной ПЛИС. Поскольку линии адресного пространства EMIFB VCE0-VCE3 и сигналы выбора банков FLASH-памяти заведены на интерфейсную ПЛИС независимо, то существует возможность назначения в интерфейсной ПЛИС произвольных линий адресного пространства EMIFB любому банку FLASH. Однако процесс загрузки ЦПОС по шине EMIFB встроенным BootLoader должен осуществляться из адресного пространства VCE1 в 8-разрядном режиме (копирование 1 Кбайта).

Последовательный многоканальный порт ЦПОС McBSP2 заведён на интерфейсную ПЛИС модуля (только в случае установки в качестве интерфейсной ПЛИС XC2V500 или XC2V1000), а порт McBSP0 выве-

ден на 20-контактный разъём расширения модуля X2, что позволяет ЦПОС работать с внешними устройствами, имеющими последовательные синхронные интерфейсы, а также выполнять объединение двух модулей XDSP-5MC.

Линии прерывания ЦПОС INT4-INT7, NMI заведены на основную ПЛИС в полном составе, на интерфейсную ПЛИС заведены линии прерывания INT6, INT7 и NMI, причём линии прерывания могут служить и в качестве линий ввода-вывода общего назначения GPIO.

Таймеры ЦПОС: TIMER0 заведён на интерфейсную ПЛИС модуля, TIMER1 и TIMER2 – на основную ПЛИС.

Линии ввода-вывода ЦПОС общего назначения GP0, GP1/CLKOUT4, GP2/CLKOUT6, а также GP9-GP15, являющиеся одновременно сигналами шины PCI при её активизации, заведены на основную ПЛИС модуля.

Все системные сигналы управления ЦПОС: CLKIN, CLKMODE0, CLKMODE1 и RESET заведены на интерфейсную ПЛИС модуля.

Значение частоты кварцевого генератора, устанавливаемого по умолчанию на модуль, составляет 50 МГц для процессора с тактовой частотой 600 МГц и 60 МГц – для процессора с частотой 500 МГц. При этом в случае 500 МГц процессора в интерфейсной ПЛИС производится деление 60 МГц до частоты 40 МГц, после чего сигнал поступает на вход тактирования ЦПОС CLKIN.

Аналоговый интерфейс модуля

Аналоговый интерфейс модуля представлен двумя каналами аналого-цифрового (АЦП) преобразования с независимыми сигнальными цепями и общими цепями тактирования.

Каждый из каналов аналого-цифрового преобразования (рис. 2) выполнен на базе высокоскоростного АЦП фирмы Analog Devices AD9430 разрядностью 12 бит и предельной частотой тактирования 210 МГц (170 МГц для версии АЦП 170 МГц).

Входные цепи АЦП выполнены с использованием широкополосных трансформаторов фирмы Mini-Circuits и обеспечивают единичный коэффициент передачи входного сигнала при входном сопротивлении каналов 50 Ом. Разъёмы АЦП – тип SMA, X10 и X12 для каналов 1 и 2 соответственно.

Размах входного сигнала (амплитуда $\times 2$) в разрядной сетке АЦП задаётся пользователем посредством назначения логического уровня на линию управления АЦП S4 и может составлять 1.53В и 0.765В (табл. 1).

Канал тактирования АЦП общий, причём предусмотрена возможность как внешнего тактирования через разъём X11 модуля с использованием широкополосного трансформатора Mini-Circuits, так и тактирования от встроенного кварцевого PECL-генератора частотой 200 МГц и малым уровнем фазового шума (рис. 2).

Выходные данные АЦП поступают на ПЛИС в стандарте LVDS – 12 дифференциальных пар либо в LVTTTL – 24 бита с тактовым сигналом сопровождения. Одновременно с данными выдаётся и сигнал переполнения разрядной сетки АЦП в выбранном стандарте. Стандарт данных АЦП задаётся пользователем посредством назначения логического уровня на линию управления АЦП S2 (табл. 1). Однако стандарт вывода LVDS и соответствующие согласующие резисторы предустановлены по умолчанию.

Формат выходных данных АЦП определяется пользователем посредством задания логического уровня на линии S1 и может быть выбран как дополнительный двоичный код со знаковым битом D11 либо прямой двоичный код со старшим битом D11.

Компенсация смещения нулевого уровня АЦП (Offset), который может колебаться на 3 мВ от кристалла к кристаллу и в зависимости температуры, производится при необходимости цифровым методом на ПЛИС. Подобная компенсация нуля ведёт к небольшому сужению входного сигнального диапа-

Таблица 1.

Назначение сигналов управления АЦП

| Линия | Уровень | Функция |
|-------|---------|---------------------------------------|
| S1 | 0 | Установлен прямой код выходных данных |
| | 1 | Установлен дополнительный код данных |
| S2 | 0 | Установлен стандарт CMOS данных |
| | 1 | Установлен стандарт LVDS данных |
| S4 | 0 | Параллельный вывод данных в CMOS |
| | 1 | Чередующийся ввод данных в CMOS |
| S5 | 0 | Размах входного сигнала 1.53В |
| | 1 | Размах входного сигнала 0.765В |

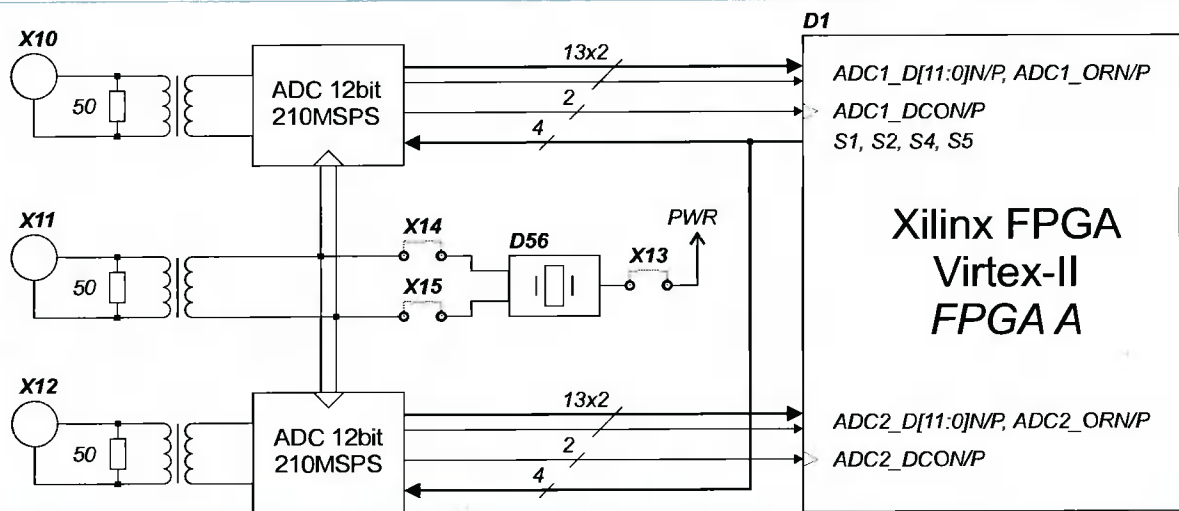


Рис. 2. Структурная схема аналогового интерфейса модуля XDSP-5MC

зона тракта АЦП, отличному от диапазона самого кристалла АЦП на 6 мВ. Для хранения значений смещения нуля АЦП на модуле предусмотрена установка энергонезависимой памяти I²C EEPROM.

Интерфейс модуля Compact PCI

Модуль поддерживает 32-разрядный интерфейс Compact PCI версии 2.0 rev. 3.0 Master/Slave с системной тактовой частотой 33 МГц, при этом предусмотрена поддержка 64-разрядного интерфейса Compact PCI при соответствующей конфигурации интерфейсной ПЛИС модуля D9 (только XC2V1000).

В случае реализации 32-разрядного интерфейса PCI старшие 32 бита данных с сигналами CBE4-CBE7 64-разрядного интерфейса могут быть задействованы в качестве пользовательских линий в составе системы обработки.

Ряд резервных линий шины Compact PCI BRSVP2xxx (10 линий), соединяющих все слоты объединительной панели Compact PCI, заведены на интерфейсную ПЛИС модуля, что позволяет использовать данные сигналы для различных целей асинхронного относительно системной шины PCI управления.

Использование 64-разрядного интерфейса PCI, а также резервных линий BRSVP2xxx возможно только при установке на модуль интерфейсной ПЛИС XC2V1000. В случае установки ПЛИС XC2V250 и XC2V500 – данные линии останутся не подсоединёнными.

Модуль не поддерживает функцию Hot Swap ("горячая замена"). Контроллер шины PCI 32 бита Master/Slave реализуется в интерфейсной ПЛИС модуля D9 и в процентном отношении занимает не более 10% от XC2V500.

Пользовательский интерфейс контроллера очень гибкий и позволяет разработчику достаточно просто подключить своё устройство и осуществить согласование с PCI (рис. 3).

Интерфейс модуля LVDS

На модуле предусмотрена установка высокоскоростных приёмного и передающего LVDS-трактов (Low-Voltage Differential Signaling) с пропускной способностью до 1.68 Гбит/сек в каждую сторону.

Каналы выполнены на микросхемах SERDES Transmitter/Receiver SN65LVDS93/94, позволяющих выполнить преобразование 28 линий данных в стандарте TTL в 4 линии данных и линию тактирования стандарта LVDS в канале передатчика и обратное преобразование в приёмном канале с восстановлением тактового сигнала.

Частота тактового сигнала, по которому поступают в передатчик данные, может быть в диапазоне 20–60 МГц, что составляет 0.56–1.68 Гбит/сек. Длина соединительных LVDS-кабелей при максимальной пропускной способности может составлять до 2 м.

Тип разъёмов – 27 21 121 8000 серии Har-link фирмы Harting (двухрядная розетка 10 контактов с шагом 2 мм).

Разъёмы расширения ПЛИС

На модуле предусмотрена установка двух миниатюрных разъёмов расширения основной и интерфейсной ПЛИС по 20 и 10 линий стандарта LVTTL соответственно X17 и X18 (рис. 3). Предельная частота обмена двух модулей в соединении "точка-точка" через данные разъёмы при длине кабеля не более 10 см составляет не менее 80 МГц.

Дополнительным назначением данных разъёмов может служить возможность вывода контрольных то-

чек ПЛИС, например для подключения логического анализатора.

Тип разъёма расширения основной ПЛИС – FTS-125-01-L-DV-P фирмы Samtec (двухрядная вилка 50 контактов с шагом 1.27 мм).

Сервисные возможности модуля XDSP-5MC

На модуле XDSP-5MC реализован ряд сервисных возможностей управления и задания режимов ПЛИС и ЦПОС (рис. 3):

- ◆ установлено устройство контроля температуры кристалла основной ПЛИС и внутренней температуры крейта;
- ◆ установлены устройства контроля минимальных уровней напряжений питания (Power Supervisor) +1.2В, +1.5В, +3.3В и формирования сигнала сброса (PROGRAM интерфейсной ПЛИС);
- ◆ возможность подключения вентилятора локального охлаждения.

Устройство контроля температуры кристалла ПЛИС выполнено на специализированной микросхеме фирмы Maxim MAX1617, позволяющей с точностью до 3° С отслеживать изменение температуры в широком температурном диапазоне. Температурным датчиком является встроенный в ПЛИС диод, анод и катод которого заведены на MAX1617.

Микросхема термоконтроля предоставляет в качестве пользовательского интерфейса двухпроводную шину SMBus (аналог I2C), заведённую на интерфейсную ПЛИС. Реализованный в ПЛИС контроллер SMBus позволяет программировать температурный

порог срабатывания внутреннего компаратора микросхемы термоконтроля, что ведёт к выставлению низкого логического уровня на линии ALERT и соответствующему сбросу конфигурации основной ПЛИС и ЦПОС.

Для контроля за минимальными уровнями питающих напряжений как ПЛИС, так и ЦПОС, на модуле установлены соответствующие схемы Power Supervisor фирмы Texas Instruments.

При опускании питающих напряжений +1.2В, +1.5В и +3.3В ниже номинальных уровней более чем на 6% схемы контроля формируют сигнал PROGRAM сброса конфигурации интерфейсной ПЛИС, а поскольку сигналы PROGRAM основной ПЛИС и RESET ЦПОС подтянуты к нулевому уровню, то это также приводит к сбросу конфигурации ПЛИС и ЦПОС.

На модуле предусмотрен разъём X7 подачи напряжения питания +12В с шины Compact PCI на вентилятор локального охлаждения ПЛИС. В общем случае конвекционное охлаждение элементов модуля осуществляется вентиляторами в составе системы.

Поставляемые конфигурации и ПО модуля XDSP-5MC

Поставляемая конфигурация модуля определяется опциями поставки по желанию Заказчика.

Дополнительно для работы с модулем необходимо приобрести:

- ◆ кабель загрузки ПЛИС FPGA/CPLD из PC SET-JTAG-3/5V;
- ◆ внутрисхемный эмулятор ЦПОС SDSP-510PCI.

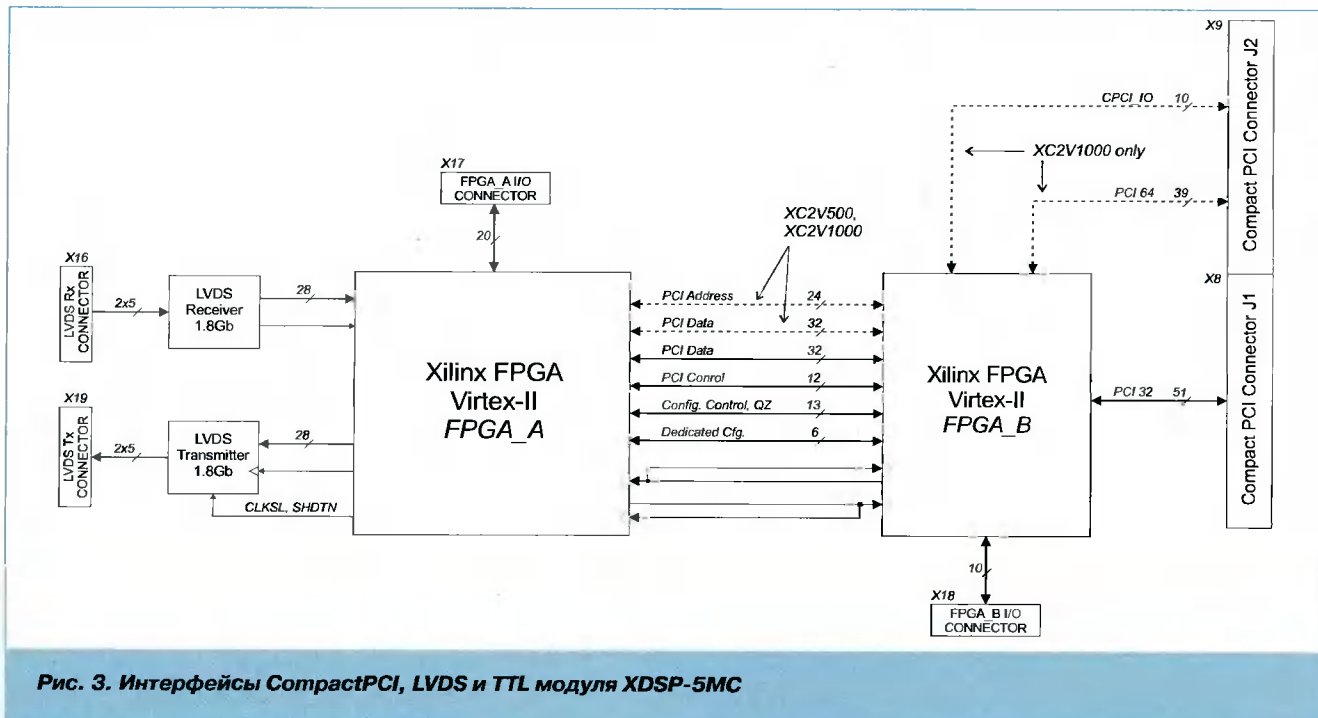


Рис. 3. Интерфейсы CompactPCI, LVDS и TTL модуля XDSP-5MC

Поставляемое в комплекте модуля программное обеспечение включает в себя следующие компоненты:

1. Ядро (EDIF-файл) контроллера PCI 33МГц 32 бита Slave.

2. Комплексный тестовый VHDL-проект для ISE 5.1i и выше, обеспечивающий функции:

- ◆ иллюстрация подключения внутренней памяти, регистров и прерывания ПЛИС;
- ◆ работа с АЦП;
- ◆ работа с ЦПОС модуля по EMIFA, EMIFB и HPI;
- ◆ подключение IP CORE FFT Xilinx;
- ◆ работа с ZBT SRAM;
- ◆ работа с LVDS приёмником и передатчиком;
- ◆ контроллер FLASH-памяти для доступа через PCI.

3. Драйвера PCI для Windows98/Me/NT4.0/2000/XP, Linux.

4. Утилиты под Windows для работы с тестовым проектом: ADC_Analyzer, XDSP_Slave_Test, XDSP_PCI_Programmer;

В комплекте с модулем XDSP-5MC поставляется драйвер для интегрированного PCI контроллера 33 МГц 32 бита Slave под Windows 98/Me/NT4.0/2000/XP и Linux, позволяющие программе пользователя работать с реализованными на плате устройствами.

Тестовый проект модуля

На момент поставки модуля во FLASH-память модуля запрограммирован конфигурационный файл комплексного тестового проекта ПЛИС, выполненного на VHDL и позволяющего протестировать в составе ПЭВМ следующие элементы и узлы:

1. С помощью утилиты **Xdsp_Slave_Test**:

- ◆ внутренние четыре регистра ПЛИС в области пространства портов ввода-вывода шины PCI модуля (I/O);
- ◆ внутренний объём памяти ПЛИС размерностью 32 бита и глубиной 32 ячейки в области пространства памяти шины PCI модуля;
- ◆ обработку прерываний, поступающих от модуля;
- ◆ четыре банка статической памяти модуля ZBT SRAM объёмом 512К 32-разрядных слов каждый.

2. С помощью утилиты **ADC_Analyzer**:

- ◆ два канала АЦП модуля;
- ◆ программный расчёт спектра сигнала АЦП;
- ◆ аппаратный расчёт спектра встроенным в ПЛИС ядром БПФ;
- ◆ программный расчёт отношения расчёт/шум на ЦПОС.

3. С помощью утилиты **XDSP_PCI_Programmer**:

- ◆ перезагрузить конфигурацию основной ПЛИС через PCI;
- ◆ перезагрузить программу ЦПОС через PCI;
- ◆ запрограммировать FLASH-память модуля конфигурационным файлом основной ПЛИС и программой ЦПОС.

Все элементы тестового проекта имеют свои выделенные адреса в общем адресном пространстве PCI модуля.

В комплекте с модулем XDSP-5MC поставляется комплект программ работы с тестовыми проектами под Windows XDSP_Slave_Test, ADC_Analyzer и XDSP_PCI_Programmer, а также программная оболочка верхнего уровня SET-NavigatorPro.

Техническая поддержка

При приобретении модуля специалистами фирмы по желанию заказчика рассматривается структурная схема предполагаемого к реализации устройства и подбирается наиболее оптимальная по стоимости и функциональным возможностям конфигурация платы.

Данный подход позволяет избежать избыточности конфигурации при фиксированной сложности устройства, то есть в случае, если не требуется универсальности платы для реализации различных, сильно отличающихся по объёму задач.

Кроме того, даются рекомендации по эффективной реализации устройства пользователя и предлагаются альтернативные пути решения требуемой задачи.

По желанию заказчика возможна поставка требуемой конфигурации с любыми совместимыми ПЛИС большей или меньшей степени интеграции. При этом стоимость платы будет варьироваться в зависимости от стоимости установленных кристаллов.

Любые консультации по вопросам эксплуатации модуля и проектированию на ПЛИС Xilinx можно получить, обратившись непосредственно на фирму:

Scan Engineering Telecom

Россия, 394000

Воронеж, ул. Володарского, 70/50

Тел.: (0732) 512-199,

тел/факс: (0732) 727-101

E-mail: capt@setdsp.ru,

Web: www.setdsp.com